



Réalisation et étude des propriétés électriques d'un transistor à effet tunnel 'T-FET' à nanofil Si/SiGe

Virginie Brouzet

► To cite this version:

Virginie Brouzet. Réalisation et étude des propriétés électriques d'un transistor à effet tunnel 'T-FET' à nanofil Si/SiGe. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2015. Français. NNT : 2015GREAT120 . tel-01269709

HAL Id: tel-01269709

<https://theses.hal.science/tel-01269709>

Submitted on 5 Feb 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano Électronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

Virginie BROUZET

Thèse dirigée par **Gérard GHIBAUDO**
et codirigée par **Bassem SALEM**

préparée au sein du **Laboratoire des Technologies de la Microélec-
tronique** et de l'**Institut de Microélectronique Électromagnétisme et
Photonique–Laboratoire Hyperfréquences et Caractérisation**
et de l'**École doctorale EEATS**

Réalisation et étude des propriétés électriques de transistor à effet tun- nel « T-FET » à nanofil Si/SiGe

Thèse soutenue publiquement le **16 décembre 2015**,
devant le jury composé de :

Prof. Jean–Luc AUTRAN

Professeur, IM2NP Marseille, Président

Dr. Costin ANGHEL

Chargé de recherche, ISEP Paris, Rapporteur

Prof. Abdelkader SOUFI

Professeur, INSA – Lyon, Rapporteur

Dr. Thierry BARON

Directeur de Recherche, LTM Grenoble, Examineur

Prof. Gérard GHIBAUDO

Professeur, IMEP–LAHC, Grenoble, Directeur de thèse

Dr. Bassem SALEM

Chargé de recherche, LTM Grenoble, Co-Directeur de thèse



Remerciements

Après avoir passé 3 ans à travailler sur l'étude et la réalisation de transistors à effet tunnel à base de nanofil, j'ai de nombreuses personnes à remercier. Je commencerais par la fin, c'est-à-dire par les personnes extérieures à Grenoble de mon jury de thèse, Mr Costin Anghel et Mr Abdelkader Souifi merci à vous d'avoir bien voulu être les rapporteurs de mon travail et merci Pr Jean-Luc Autran d'avoir été le président du jury. Maintenant, il m'est difficile de conserver un ordre logique dans des remerciements qui sont subjectifs car liés à l'affectif, donc ne cherchez pas dans les lignes suivantes un classement d'ordre chronologique, car comme nous le disions souvent avec Bassem Salem, co-directeur de ce travail, ces 3 années sont passées tellement vite !

Cette thèse s'est en effet déroulée en co-tutelle, ce qui m'a permis d'avoir accès aux compétences de deux laboratoires, d'avoir deux référents et de rencontrer de nombreuses personnes. Je tiens à continuer ces remerciements par mes deux directeurs Gérard Ghibaudo de l'IMEP-LAHC et Bassem Salem du LTM. Merci pour votre encadrement très complémentaires, nos conversations et votre confiance. Merci également à Thierry Baron, examinateur de mon travail, tes connaissances sur la croissance des nanofils et tes commentaires lors des réunions ont été d'une grande aide.

En effet, les nanofils sont des objets quelques peu délicats qui nécessitent énormément d'attention et une personne (novice) ne suffit pas à les maîtriser. Je tiens donc à remercier Priyanka Periwall, jeune docteure et ma première collègue de bureau, you were an example for me, in the way that you managed the teamwork with so many people. Merci également à toute la "team nanofils" du LTM, Franck Bassani, Thierry Luciani (Mr assistance CVD à 6h du mat' c'est plus drôle, merci Titi;)), Fares Chouchane, Thierry Baron, Bassem Salem (oui certains ont déjà été remerciés mais ils méritent bien de l'être deux fois :)). Et celle de SiNaPS/CEA, composée principalement de Pascal Gentile, Nicolas Pauc et Kévin Guillois merci pour votre aide.

La réalisation et l'étude de TFET à base de nanofil a nécessité de travailler sur de nombreuses plateformes, PTA, Cime, et laboratoires partenaires SiNaPS, TU Wien, Institut Néel. Travailler dans différents environnements a été pour moi une richesse et une très bonne expérience, grâce aux personnes rencontrées là-bas, qui travaillent en bonne intelligence et pour le bien des travaux de tous. J'espère qu'aucun ne sera oublié dans les lignes suivantes, et sinon je m'en excuse par avance. Pour cela et le reste, je remercie chaleureusement Thierry Chevolleau, Thomas Charvolin, Marlène Terrier, Frédéric Gustavo, Victor Gaude,

Christophe Lemonias, Jean-Luc Thomassin, Corinne Perret, Irène Peck, Martine Gri, Xavier Mescot, Emza, Natalie, Sophie... Vous avez été pour moi de vrais collègues et amis, merci pour tout !

Si après quelques intégrations de nanofils ou mesures électriques ou que sais-je, vous êtes un manque de caféine au LTM, vous pouvez toujours toquer à la porte de Martin Kogelschatz, Patrice Gonon et Christophe Vallée, vous m'avez accueillie au sein de l'équipe matériau et redonné courage, merci à vous. Et puis bien sûr, on peut toujours compter sur les doctorants, quelque soit leurs laboratoires d'origine, pour la pause café, mais aussi le reste comme un coup de main sous MathCad ou un Carré, alors pour tout ça merci beaucoup Manuela, Salomé, Cédric, Romain, Roo (allez courage), Pauline (se fut un plaisir de travailler avec toi), John, Maxime, Brice, Rémy, Mouawad, Reynald (merci pour ta réparti et ton humour), Gilles, Mickaël, Jérémy, Séb (quatre non doctorants mais on passera sur les titres pour cette fois), Olivier, Dorian, Christophe, Mathilde, (quatre joyeux de rire et d'une grande créativité), Manon, Luca, Ivan, Ran, Long, Nimisha (mes trois derniers collègues de bureau, merci pour tout :)).

Ces trois années ont pu paraître longues par instant, alors heureusement les amis et la famille sont aussi là pour vous soutenir, merci Pamela, Raphaël (binôme :)), Marie, Julie, Pierre-Yves, Karol, Hélène, Jonathan, Thibault, Greg, Etienne, Laureen, Benoît pour les sorties en plein air, jeux et l'écoute que vous m'avez accordé. Merci à mes sœurs Delphine et Christelle qui m'ont soutenues au téléphone et rappelées que la vie ce n'est pas le travail, merci à ma mère, je t'admire mais ça tout le monde le sait. Enfin mes derniers remerciements iront à mon conjoint Guillaume, pour sa patience et son amour.

Table des matières

1	Introduction	5
1.1	Du MOSFET vers le Tunnel FET	5
1.1.1	La miniaturisation du MOSFET	5
1.1.2	La puissance statique et dynamique des MOSFETs	7
1.1.3	Les dispositifs à faible inverse de pente sous le seuil	9
1.1.3.1	Les dispositifs à EFFET KINK :	9
1.1.3.2	L'IMOS :	10
1.1.3.3	Les Tunnel FETs :	11
1.2	Introduction du Tunnel FET	12
1.2.1	Structure et fonctionnement du Tunnel FET	12
1.2.2	Influence du design sur le niveau de courant du Tunnel FET	15
1.2.2.1	Effet du matériau de la source	16
1.2.2.2	Effet de la géométrie du dispositif	17
1.2.3	Influence des paramètres sur l'inverse de la pente sous le seuil (SS)	19
1.2.4	La mise en évidence de l'effet tunnel :	22
1.2.4.1	Le comportement en température d'un TFET	22
1.2.4.2	La définition des tensions seuils des TFETs :	23
1.3	Etat de l'art des Tunnels FET à nanofils	24
1.3.1	Transistors planaires	25
1.3.2	Transistor Gate-All-Around	26
1.4	Conclusion du chapitre d'introduction	28
2	Élaboration des transistors à nanofils Si et Si/SiGe et méthode d'extraction des paramètres électriques	29
2.1	La croissance des nanofils semi-conducteurs IV-IV	29
2.1.1	Les différentes méthodes d'élaboration des nanofils	29
2.1.1.1	Approche descendante	29
2.1.1.2	Approche ascendante	30
2.1.2	Présentation de la technique de croissance par CVD-VLS	31
2.1.2.1	La croissance par le mécanisme VLS	32
2.1.2.2	Les outils de la croissance CVD-VLS	33

2.1.3	Les nanofils de silicium, l'alliage $\text{Si}_{1-x}\text{Ge}_x$ et leurs hétérostructures . .	36
2.1.3.1	Les homo-structures	37
2.1.3.2	Les hétéro-structures	38
2.1.3.3	Variabilités des propriétés des nanofils	39
2.1.3.4	L'intérêt du HCl	42
2.2	Transistors à nanofil planaires et verticaux	44
2.2.1	Le nettoyage des nanofils	44
2.2.2	Le procédé d'intégration planaire des nanofils	44
2.2.2.1	Dispersion des nanofils	44
2.2.2.2	Réalisation du TFET à base d'un nanofil horizontal :	44
2.2.3	Le procédé d'intégration verticale des nanofils	45
2.2.4	La siliciuration des contacts drain-source	49
2.2.4.1	La siliciuration des fils de silicium	49
2.2.4.2	La siliciuration des fils SiGe	52
2.3	Extraction des propriétés électriques	53
2.3.1	Paramètres électriques clefs des transistors	53
2.3.2	Capacité de grille	54
2.3.3	Extraction des propriétés électriques des Tunnel FETs	55
2.4	Conclusion du chapitre	57
3	Étude des propriétés électriques des tunnel FET à nanofil à hétéro-jonction Silicium	59
3.1	L'efficacité du dopage in-situ :	59
3.1.1	La modulation du dopage le long d'un nanofil de silicium	60
3.1.2	Estimation du niveau de dopage des nanofils de silicium	63
3.1.3	La prise de contact sur les nanofils :	66
3.2	Effet du niveau de dopage sur les performances entre TFET à base de nanofil de silicium.	68
3.2.1	Observation des caractéristiques de diode avant l'utilisation en TFET. .	68
3.2.2	Les caractéristiques de transfert des Si NW TFETs pour différents niveaux de dopage.	71
3.3	L'analyse des mécanismes de l'effet tunnel	75
3.4	Effets de l'amélioration du couplage électrostatique et de la siliciuration. . .	79
3.4.1	Conclusion sur les transistors nanofil Silicium	84
4	Étude des propriétés électriques des TFETs à nanofil contenant du germanium.	87
4.1	Les propriétés de l'alliage SiGe	87
4.1.1	Effets de la concentration de germanium sur les propriétés électriques d'un TFET.	88
4.2	Les hétérojonctions p-i-n à base de nanofils $\text{Si}_{0,7}\text{Ge}_{0,3}$	90
4.2.1	La croissance et le diagramme de bande des nanofils $\text{Si}_{0,7}\text{Ge}_{0,3}$	90
4.2.2	Les mesures électriques à l'ambiante des TFETs $\text{Si}_{0,7}\text{Ge}_{0,3}$	91
4.2.3	Simulation des courbes électriques des TFETs $\text{Si}_{0,7}\text{Ge}_{0,3}$	94

4.2.4 Conclusion sur les transistors nanofil à alliage Si-Ge (30% de Ge) . . .	100
4.3 Les hétérostructures Si/Si/SiGe avec 30% de germanium.	101
4.3.1 En quoi une hétérostructure est-elle bénéfique pour les performances des TFETs ?	101
4.3.2 Le profil de dopage et de composition pour une hétérostructure	102
4.3.3 Les mesures électriques du TFET Si/Si/Si _{0,7} Ge _{0,3}	103
4.3.4 Simulation des courbes électriques du TFET Si/Si/Si _{0,7} Ge _{0,3}	104
4.4 Optimisation de l'hétérostructure Si/Si/SiGe.	107
4.4.1 Augmentation de la concentration de germanium dans les nanofils pour l'intégration horizontale.	107
4.4.2 Le TFET à nanofils Si/Si/Si _{0,3} Si _{0,7} verticaux	109
4.4.2.1 La structure	109
4.4.2.2 Caractéristique électrique du TFET à nanofils Si/Si/Si _{0,3} Si _{0,7} verticaux	110
4.4.3 Conclusion sur l'optimisation des hétérostructures.	111
4.5 Conclusion du chapitre	112
5 Conclusion générale de la thèse et Perspectives	115
5.1 Conclusion générale de la thèse	115
5.2 Perspective	117
 Annexe	 121
A Nettoyage BOE standard	121
B Lithographie	123
B.1 Procédé de localisation des catalyseurs par EBEAM	123
B.2 Paramètres de la lithographie des contacts Drain/source et Grille	124
 Publications	 127
 Bibliographie	 129

Introduction

Le marché florissant des appareils portatifs multifonctionnels compacts, tels que les smartphones, a montré qu'une demande d'objets connectés est présente dans notre société. L'avantage de ces nouveaux objets technologiques est de regrouper plusieurs fonctions en un seul objet ultra compact. Ainsi, le smartphone est en plus d'un téléphone, un petit ordinateur avec une mémoire interne toujours plus importante, un GPS et il présente de nombreuses autres fonctionnalités, tout cela tenant dans la main. Cette prouesse technologique est possible grâce à l'avènement des système-sur-puces (en anglais « System-on-Chip » SoC) et à la miniaturisation extrême des composants. Un SoC est un regroupement de composants miniaturisés sur une même puce permettant de nombreuses fonctionnalités, associant des dispositifs numériques, analogiques, radios fréquences ou encore des capteurs. Les connections et le fonctionnement de chaque composant ne doit pas interagir avec les autres, ce qui rend leurs intégrations en une puce unique complexe. Ces composants sont réalisés sur des substrats de silicium cristallin par des techniques de fabrication très spécifiques. Par exemple pour la réalisation d'un microprocesseur, il faut élaborer chaque transistors le constituant, c'est-à-dire réaliser la croissance de matériaux monocristallins, les recuits de siliciuration et l'implantation ionique pour assurer de bonnes performances aux transistors. Les transistors ainsi conçus sont la zone active du microprocesseur qui est appelée le « front-end ». Ensuite, ils sont isolés électriquement les uns des autres par l'empilement de diélectriques puis inter-connectés par des lignes métalliques (vias). Cette deuxième étape est appelée le « back-end » et elle est soumise à un budget thermique rigoureux, c'est-à-dire qu'aucune étape de fabrication le constituant ne doit dépasser les 450 °C pour ne pas dégrader les composants du front-end.

Les SoC s'intègrent dans l'approche « More than Moore » pour découpler les fonctions intégrées dans les téléphones portables, ou tout autre appareil électronique portatif. Cette approche très intéressante demande une superficie importante des puces. Celle-ci peut-être réduite par l'utilisation d'une autre approche appelée « More Moore » laquelle a été largement utilisée ces dernières décennies pour améliorer les performances des ordinateurs en augmentant la densité surfacique de transistors par puce grâce à la miniaturisation des transistors. Mais cette approche tend vers ses limites physiques puisque la réduction drastique de la taille des MOSFETs (« Metal Oxide Semiconductor Field Effect Transistor ») ne pourra pas être poursuivie à long terme, (on peut prendre comme exemple l'oxyde de grille d'un MOSFET qui n'est plus que d'une dizaine d'Ångström de nos jours). En outre, les transistors de tailles réduites présentent des effets parasites, liés aux effets de canaux courts et à une mauvaise dissipation de la chaleur dégagée lors du fonctionnement des MOSFETs miniaturisés. Pour répondre aux problèmes liés aux effets de canaux courts, de nouvelles architectures ont été mises au jour afin de les éviter, en améliorant le contrôle du canal du MOSFET, tel que les transistors sur substrat FDSOI (« Full Depleted Silicon on Insulator »), les MOSFET multi-grilles ou la structure FinFET mise au point par Intel. Nous savons aujourd'hui que l'architecture ultime d'amélioration du contrôle sur le canal est la réalisation d'une grille enrobante, minimisant ainsi les fuites électrostatiques. Cette architecture est principalement obtenue sur des nanofils, qu'ils soient gravés à partir d'un substrat ou synthétisés par une technique de croissance. C'est pourquoi de nombreuses

équipes de recherches réalisent aujourd'hui des MOSFETs à base de nanofils pour étudier leurs propriétés physiques et électriques en vue de leur intégration pour les futurs nœuds technologiques.

Donc au même titre que la miniaturisation extrême des composants, les SoC ont un cahier des charges restreints du point de vue de la compactibilité de ces composants. Une autre voie d'augmentation du nombre de fonctions sur une même puce a été envisagée, à savoir les « système en boîtier » (ou « System-in-Package », SiP) qui s'intègrent également à l'approche « More than Moore », comme les SoC. Ces systèmes sont un empilement tridimensionnel de micro-puces ayant chacune une fonction bien spécifique, réalisées séparément les unes des autres. Chaque fonction recherchée est ainsi empilée sur la précédente par une technique de collage, puis connectée les unes aux autres par des vias traversants (ou TVS Through Silicon Vias). Ce procédé permet d'augmenter le nombre de fonctions par puce en utilisant l'intégration dans la troisième dimension, sans avoir recours à la diminution drastique de la taille des dispositifs. Mais cette superposition de puces demande un alignement parfait entre elles et pose des problèmes pour évacuer aisément la chaleur produite par ses composants actifs.

Un compromis dès plus intéressant existe entre ces deux techniques d'intégration de l'approche « More than Moore » : utiliser une puce de type SoC mais en répercutant dans le back-end, des fonctions ne nécessitant pas les performances des composants front-end. Ainsi des transistors, aux performances moindres que celles des composants de la zone active, pourraient être intégrés dans la zone des inter-connexions, augmentant ainsi la densité de composants par puce, sans la création d'un niveau dédié aux composants et en évitant l'alignement délicat des puces entre elles. L'enjeu de cette technique est de réaliser des composants aux propriétés électriques exploitables en se conformant au budget thermique du back-end de 450 °C. Cette température est en effet une limitation non négligeable, car il est impossible de réaliser un dépôt d'une couche mince de silicium cristallin ou de la doper par les méthodes utilisées pour les composants du front-end.

C'est dans ce contexte général, que nous proposons dans ce travail de thèse, de réaliser et d'étudier les propriétés physiques de transistors à base de nanofils, dont le procédé de fabrication suit le budget thermique du back-end en vue de leur intégration dans cette zone. Pour ce faire nous devons utiliser la croissance par dépôt chimique en phase vapeur ("Chemical Vapour Deposition", CVD), assisté par le mécanisme Vapeur-Liquide-Solide (VLS). Ainsi nous pouvons obtenir des nanofils monocristallins à partir de catalyseur métallique et pour des températures et pressions de croissance faible. En outre, les nanofils pouvant être intégrés verticalement, leur utilisation permet une intégration tridimensionnelle très compacte, satisfaisant ainsi la volonté de minimiser la taille des composants. De plus pour répondre à la problématique de la consommation d'énergie des transistors actuels, nous proposons ici de travailler sur les transistors à effet tunnel, appelés les tunnel FET ou TFET. Ces dispositifs peuvent théoriquement fonctionner à des tensions inférieures à 0,5 V, tout en gardant un courant à l'état Off très faible, permettant ainsi de diminuer la consommation électrique par transistor.

Ainsi dans le premier chapitre de ce manuscrit, nous introduirons les effets parasites liés à

la diminution de la taille des MOSFETs, et le dilemme que pose l'inverse de la pente sous le seuil des MOSFETs. Nous présenterons des solutions proposées pour s'affranchir de cette limite physique et en particulier celle que nous avons choisie d'étudier, le transistor à effet tunnel. Nous détaillerons ensuite les modèles de calcul du courant tunnel existant, dont celui utilisé durant la thèse, et les spécificités du design et des caractéristiques électriques dues au mode d'injection des porteurs par effet tunnel bande à bande. Enfin nous ferons un état de l'art des dispositifs démontrant des propriétés électriques intéressantes pour une future intégration dans des circuits intégrés.

Dans le second chapitre, nous allons présenter la technique de croissance des nanofils utilisée durant la thèse, puis nous expliciterons les étapes de fabrication des transistors planaires et verticaux à base de ces nanofils. Enfin nous présenterons les techniques d'extraction des propriétés électriques des dispositifs.

Dans la troisième chapitre, nous caractériserons l'influence de la longueur d'écrantage λ , sur les propriétés électriques des TFETs. Pour ce faire, nous étudierons des dispositifs à homo-structure de silicium, avec tout d'abord différents niveaux de dopage. Ensuite nous mettrons en évidence les différents mécanismes d'effet tunnel band-à-bande en fonction de la tension de grille appliquée. Puis nous observerons l'effet du contrôle électrostatique de la grille sur le canal en utilisant différents oxydes et épaisseurs d'oxyde de grille.

Enfin dans le quatrième chapitre, nous étudierons l'influence de la diminution du gap sur les performances des TFETs, grâce à l'insertion de germanium dans la structure. Pour cela deux configurations sont possibles : les homostructures et les hétérostructures. Nous présenterons dans un premier temps les résultats obtenus sur les TFETs à base d'homostructure d'alliage $\text{Si}_{0,7}\text{Ge}_{0,3}$. Puis nous détaillerons les TFETs à base d'hétérostructure $\text{Si}/\text{Si}/\text{Si}_{1-x}\text{Ge}_x$. Des simulations des caractéristiques électriques obtenues ont été réalisées grâce à notre modèle de type Klaassen. Celles-ci nous ont permis estimer les paramètres de la transition tunnel pour ce matériau, pour lequel peut de donner existe dans la littérature.

CHAPITRE 1

Introduction

Dans ce premier chapitre, nous présenterons les motivations de notre choix de travailler sur les transistors à effet tunnel (TFET ou Tunnel FET) à base de nanofils, en explicitant les problèmes de puissance de consommation auxquels les MOSFETs de technologie standard font actuellement face. C'est un enjeu d'importance, au point que la communauté parle de « crise de puissance de consommation », qui est inhérent à l'augmentation de la puissance statique des MOSFETs. Ainsi nous allons présenter, dans la première partie de ce chapitre, les raisons de cette crise et quelques solutions couramment utilisées seront décrites. Puis en deuxième partie, nous proposerons un résumé des nouvelles solutions étudiées par la communauté : les dispositifs à faible pente sous le seuil ("small Swing Switches" en anglais), tels que les dispositifs à effet Kink, les IMOS-FET et enfin les tunnels FET. Tous ces "small Swing Switches" étant la meilleure solution pour résoudre le problème de la puissance de consommation du point de vue du dispositif. En troisième partie, nous développerons l'aspect théorique de la solution technologique que nous avons choisi : le Tunnel FET, avec une description de sa structure, de son fonctionnement et l'influence des paramètres physiques du dispositif. Et pour finir, nous ferons l'état de l'art du Tunnel FET selon deux géométries : avec une grille semi-enrobante et avec une grille totalement enrobante ("Gate-All-Around").

1.1 Du MOSFET vers le Tunnel FET

1.1.1 La miniaturisation du MOSFET

Depuis l'article de Dennard et al. de 1974 expliquant comment réduire la taille des MOSFETs tout en gardant un champ électrique inchangé au sein du dispositif [1], le nombre de transistors et de fonctions intégrées par puce n'a cessé d'augmenter. Cette condition permet de garder constante la densité de puissance de la puce dont l'expression est donnée par l'équation (1.1), de sorte que la puissance dissipée par la puce reste inférieure à 200 W [2]. Il est en effet préférable que la puissance dissipée par puce soit limitée, car les ventilateurs ont une capacité limitée d'évacuation de la chaleur dans les boîtiers. Et

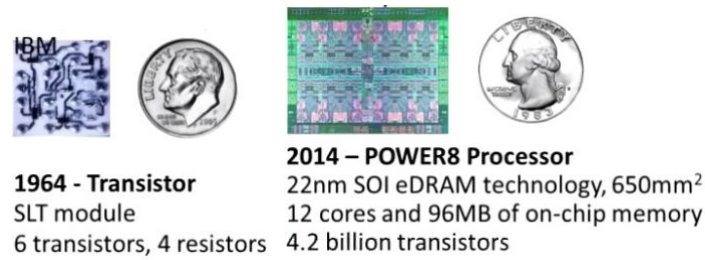


Figure 1.1: Évolution de la taille des MOSFET grâce à leur miniaturisation ??

qu'un échauffement excessif des transistors induit une diminution de leurs performances électriques.

$$P_{puce} = \frac{I_{on} \cdot V_{DD}}{Area} \quad (1.1)$$

Où I_{on} est le courant à l'état On d'un transistor, V_{DD} la tension fournie à celui-ci et Area l'aire de la puce.

Ainsi pendant les quarante dernières années, la densité de dispositifs par puce ainsi que les performances de ceux-ci ont augmenté tout en diminuant le coût de fabrication. Cette évolution a été observée par Gordon Moore (fondateur d'Intel) qui en a déduit deux lois empiriques célèbres à son nom, sur le doublement du nombre de transistors par puce et des vitesses de calculs tous les 18 mois. Les progrès réalisés dans la fabrication des dispositifs ont permis aujourd'hui de dépasser les espérances évoquées avec la loi de Moore, puisque la miniaturisation extrême des éléments actifs suivent une approche dite « More Moore ». Mais la diminution de la taille des transistors arrive à ces limites : les grandeurs caractéristiques s'approchent de l'échelle atomique et le champ électrique n'a pas pu être conservé constant sans détériorer les performances des MOSFETs [3]. De plus, chaque nouvelle génération de transistor demande d'importants investissements technologiques et devient de plus en plus sensible aux procédés de fabrication. Une solution pour relaxer les contraintes sur la taille des MOSFETs est de les empiler les uns sur les autres de manière à ne plus augmenter la densité surfacique par puce, mais de jouer sur la densité volumique grâce à l'intégration tridimensionnelle [4], comme présenté sur la figure 1.2.

Grâce à cette nouvelle dimension, on peut éloigner les parties source et drain tout en gardant une surface sur la puce réduite. De ce fait, les effets parasites que connaissent les dispositifs actuels pourraient être évités, tels que le "short-channel effect" (SCE) en français les effets de canal court qui comprennent notamment le "drain-induced barrier lower" (DIBL) dont la traduction est la diminution de la barrière d'énergie induite par la tension drain. Dans cette optique, les nanostructures unidimensionnelles telles que les nanofils ou nanotubes ont fait l'objet de nombreuses études ces dernières années [6], [7], au vu de leur géométrie par essence dans cette troisième dimension. En effet, en utilisant des nanofils verticaux comme canal de conduction, la largeur des transistors serait le diamètre des nanofils qui peut être d'une dizaine de nanomètre. Ainsi on continuerait la diminution

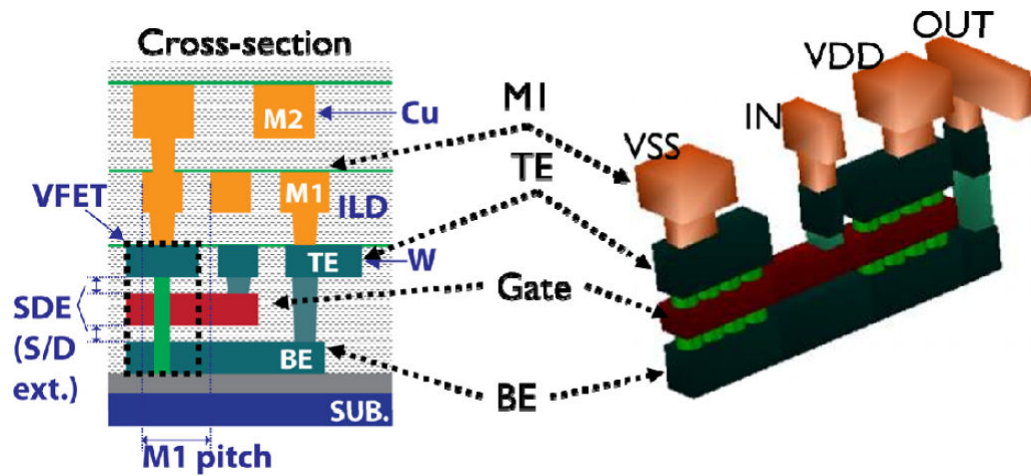


Figure 1.2: Représentation d'un empilement d'inter-connexions métalliques « frontend-of-the-line » (FEOL) et « backend-of-the-line » (BEOL) avec un zoom sur le transistor 3D à nanofil vertical [5] (BE= électrode arrière, Gate= grille, TE= électrode supérieure, MI= inter-connexions métalliques).

de l'encombrement surfacique des transistors sur la puce, mais on peut éviter les effets de canaux courts en relaxant la distance entre les parties source et le drain grâce à cette troisième dimension apportée au système. De plus les nanofils verticaux peuvent être entièrement enrobés de leur grille, (architecture "Gate-All-Around", GAA) ce qui améliore le contrôle électrostatique et diminue les pertes entre la grille et le canal. Une représentation schématique d'un dispositif à base de nanofils verticaux est montrée à la figure 1.2. Les transistors à base de nanofils peuvent être réalisés par deux procédés : par gravure d'un substrat massif ou croissance des nanofils. Nous verrons les différences entre ces deux techniques dans le paragraphe 2.1.1.1.

1.1.2 La puissance statique et dynamique des MOSFETs

Comme décrit précédemment, la diminution de la taille des transistors doit se faire à champ électrique constant au sein du dispositif pour éviter de détériorer les performances électriques des transistors. Mais cette diminution d'échelle ne peut plus se faire actuellement sans compromis sur la puissance dissipée par la puce comme présentée sur la figure 1.3(a). En effet, les puissances de consommation statique (équation (1.2)) et dynamique (équation (1.3)) des dispositifs, augmentent avec les courants de fuite [8] et la capacité de charge à chaque génération, à cause de la diminution de la longueur de la grille. Ainsi l'enjeu actuel des nouvelles générations de dispositifs est de réduire les courants de fuites ainsi que la tension d'alimentation et les capacités parasites de charge qui viennent s'ajouter pour diminuer leurs puissances de consommation statique et dynamique.

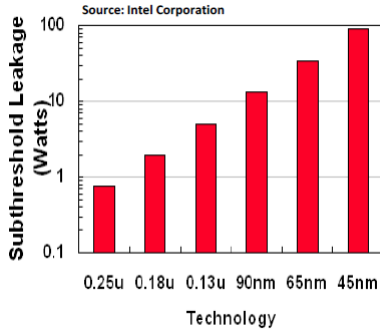
$$P_{statique} = I_{leak} \cdot V_{DD} \quad (1.2)$$

où I_{leak} est la somme des courants de pertes dans le dispositif quand le MOSFET est à l'état off.

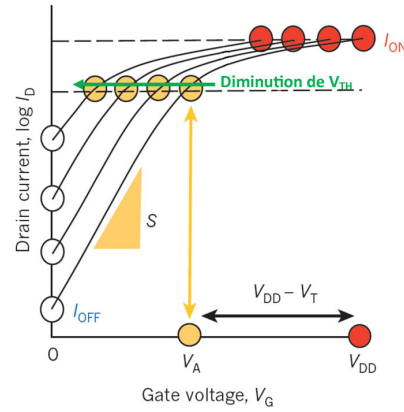
$$P_{dynamique} = f \cdot C_L \cdot V_{DD}^2 \quad (1.3)$$

où f est la fréquence et C_L est la capacité de charge totale de commutation.

Or ceci est un vrai défi technologique, car pour diminuer le courant I_{off} et la tension d'alimentation, tout en gardant le même courant à l'état On, il faut diminuer la tension de seuil du dispositif comme représenté sur la figure 1.3(b).



(a) Puissance statique en fonction du noeud technologique.



(b) Schéma de la diminution de V_{th} par 60mV ce qui augmente d'une décade le courant de l'état Off [9].

Figure 1.3: Effet de la miniaturisation des MOSFETs sur la puissance dissipée, le SS et le courant à l'état Off.

Pour cela, il faut diminuer l'inverse de la pente sous le seuil des transistors (notée SS pour « Subthreshold Swing ») qui s'exprime comme :

$$SS = \frac{dV_{GS}}{d(\log(I_{DS}))} = \ln 10 \cdot (kT/q) \cdot \frac{C_{ox} + C_D + C_{it}}{C_{ox}}$$

avec C_{ox} la capacité de l'oxyde de grille, C_D la capacité de déplétion au seuil, c'est-à-dire lorsque le potentiel de surface Φ_S est égale à $2\Phi_F$ et C_{it} la capacité associée à la présence de pièges à l'interface entre l'oxyde et le canal.

Or une des caractéristiques des MOSFETs est que pour un dispositif donné, sa pente sous le seuil est fixe jusqu'au régime de forte inversion, lorsque l'on trace $I_{DS} - V_{GS}$ en échelle semi-log, comme représenté sur la figure 1.3(b). Ainsi pour diminuer l'inverse de la pente sous le seuil des MOSFETs, il faut améliorer les procédés de fabrications pour réduire les capacités de déplétion et de pièges à l'interface. Celles-ci ont été réduites au point de les rendre négligeables dans le calcul l'inverse de la pente sous seuil, grâce à des traitements de passivation de la surface du canal et l'utilisation d'high-k et de grille métallique appropriées. Puis, de nouvelles architectures ont été proposées pour améliorer le contrôle électrostatique

du canal tel que les substrats « semiconducteur sur Isolant » (SOI), le FinFET ou Ω -gate FET et la géométrie ultime d'amélioration du contrôle par la grille : le Gate-All-Around FET (GAA-FET). Ces solutions ne seront pas développées ici, ce sujet étant largement commenté dans la littérature. Ainsi la valeur minimale de l'inverse de la pente sous le seuil de $SS = kT/q * \ln(10) = 60\text{mV}/\text{decade}$ a été atteinte à température ambiante. Donc une fois le transistor optimisé, le seul moyen de diminuer la tension de seuil est de décaler la courbe $I_{DS} - V_{GS}$ selon V_{GS} , comme représenté sur la figure 1.3(b). Ainsi pour diminuer V_{Th} de 60mV, il n'y a pas d'autre choix que d'augmenter le courant I_{off} d'une décade et la puissance de consommation statique. La communauté scientifique se trouvant ainsi devant une "crise de la puissance de consommation" apparemment impossible à réduire, de nombreux groupes de recherche essayent de solutionner ce problème. Ces dispositifs à l'étude sont appelés "steeper subthreshold swing" en anglais, nous allons présenter un échantillonnage de ce qui existe dans le paragraphe suivant. Nous resterons focalisé sur les dispositifs compatibles avec les procédés bien connus des chaînes de fabrication de transistor silicium, présentant des propriétés de passage de l'état On à l'état Off non limitées par le mécanisme de diffusion.

1.1.3 Les dispositifs à faible inverse de pente sous le seuil

Dans un MOSFET standard, le courant I_{on} est gouverné par le mécanisme de transport des porteurs, c'est-à-dire le mécanisme de dérive-diffusion et les porteurs sont injectés dans le canal par effet thermoïonique. Ici le mécanisme limitant est celui de la conduction des porteurs (dérive-diffusion), d'où la limite physique de l'inverse de la pente sous le seuil à 60mV/dec, la barrière thermoïonique étant optimisée pour ne pas être le mécanisme restreignant (siliciuration, dopage élevé des parties source, canal et drain). Maintenant si le mécanisme limitant devient l'injection des porteurs plutôt que leur transport, on peut s'affranchir de la valeur de 60mV/dec. C'est avec ce raisonnement que de nouveaux transistors ayant d'autres mécanismes d'injection des porteurs que l'effet thermoïonique ont été étudiés ces deux dernières décennies. Nous allons discuter dans la suite de ce paragraphe, des principaux dispositifs qui ont donc théoriquement un inverse de pente sous le seuil inférieure à 60mV/dec, en présentant leur avantages et inconvénients. Nous concentrerons notre étude sur les transistors réalisables actuellement en salle blanche et nous commencerons par les dispositifs les plus proches de l'architecture CMOS pour nous en éloigner.

1.1.3.1 Les dispositifs à EFFET KINK :

Ce premier dispositif permet d'avoir des SS inférieurs à 60mV/dec avec des MOSFETs standard sur substrat PDSOI (« Partially Depleted Silicium On Insulator ») grâce à l'effet kink [10]. Cet effet génère des porteurs qui viennent s'ajouter au mécanisme de conduction standard du MOSFET. L'effet Kink se produit à fort champ électrique ($V_D \simeq 6V$) et est un enchaînement de phénomènes "parasites". Tout commence par la génération de porteurs par ionisation par impact due au fort champ électrique appliqué (ce phénomène sera développé dans le paragraphe suivant). Les électrons ainsi générés sont majoritairement collectés par le drain, et les trous sont pour la plupart attirés par le substrat, certains vont aller

dans la grille et d'autres vont être collectés par la source. Cette dernière voie est plus importante quand le dispositif est à canal court et cela va induire un courant I_{BS} . Ce type de phénomène se produit pour tous les MOSFET lorsque l'on applique de telles valeurs de tension. Mais quand la résistance du substrat est très importante comme dans les structures PDSOI ($R_{sub} = \infty$), un fort potentiel apparaît dans le substrat et celui-ci va diminuer la tension seuil de la surface du canal et augmenter le courant de surface du canal. Ces effets s'ajoutent au courant drain standard. Les caractéristiques de transfert de ces dispositifs montrent alors une augmentation soudaine de I_D avec V_{DS} comme présenté sur la figure 1.4.

Ce phénomène n'était observable que sur les substrats de type n, ceux de type p ayant des coefficients d'ionisation par impact des trous plus faible que pour les électrons [11]. Mais ce n'est plus vrai lorsque l'on utilise des structures Ω -FET sur substrat massif [12] car la répartition des potentiels de cette architecture présente aussi un puits pour les trous. L'inconvénient majeur de ce dispositif est les fortes tensions à appliquer qui sont loin des valeurs escomptées pour des applications basses consommations. De plus, le temps de commutation de ces dispositifs est relativement long également ($\approx 1\mu s$), à cause du temps nécessaire à l'ionisation par impact initiale, d'où une boucle de rétroaction lente du phénomène. Enfin il y a des effets parasites comme les porteurs chauds qui peuvent se loger dans l'oxyde de grille plutôt qu'être collectés par le drain ou la source et dégrader les performances de l'oxyde de grille.

1.1.3.2 L'IMOS :

Parmi les dispositifs à faible inverse de pente sous le seuil, un des plus récent, est le transistor à ionisation à impact (I-MOS). Ce dernier est composé une diode pin polarisée en inverse avec une grille MOS qui ne recouvre pas complètement la partie intrinsèque. Ce transistor met à profit le phénomène d'ionisation par impact en régime avalanche pour générer des paires électrons/trous. On obtient ce mécanisme en fournissant suffisamment d'énergie à un porteur de la bande de conduction (BC) pour qu'il puisse en céder une partie à un électron de la bande de valence (BV) lors d'un choc inélastique avec les atomes du réseau. L'électron de la BV passe alors dans la BC et laisse derrière lui un trou, c'est le

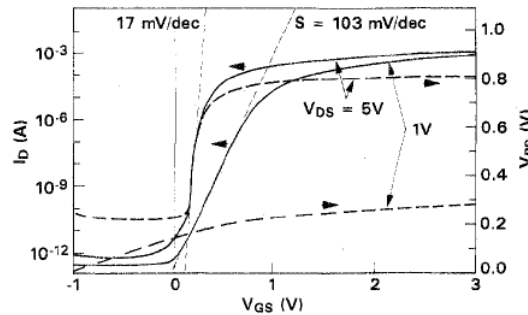


Figure 1.4: Caractéristique I_d (en lignes pleines) et tension V_{BS} (en lignes pointillées) en fonction de V_{GS} d'un SOI MOSFET de canal type-n à faible fuite[10].

mécanisme d'ionisation par impact, comme représenté par les étapes 1, 2 et 3 de la figure 1.5. L'I-MOS fonctionne à très fort champ électrique de manière à accélérer les porteurs créés comme précédemment, pour qu'ils ionisent à leur tour par impact les électrons de la BV. Le courant du I-MOS est alors abruptement augmenté, c'est le régime d'avalanche qui est utilisé [11], comme présenté sur la figure 1.5. Sur une grande distance, les porteurs ont subi suffisamment d'interactions avec le réseau pour être à l'équilibre avec celui-ci (approximation du transport de dérive-diffusion) mais sur les courtes distances, les porteurs peuvent être hors équilibre. Le courant du I-MOS dans le cas du régime avalanche est donc seulement limité par les résistances du dispositif telles que la résistance de la zone intrinsèque non recouverte par la grille, celle du canal et les résistances d'accès.

L'avantage du I-MOS est son niveau de courant I_{on} très élevé et son très faible inverse de pente sous le seuil. En revanche, pour fournir assez d'énergie aux porteurs pour que l'ionisation par impact puis l'effet avalanche se produise, il faut appliquer des tensions très élevées (entre 15V et 20V en tension de drain pour les dispositifs en silicium), bien éloignées des valeurs utilisées pour le MOSFET. De plus, la fiabilité du dispositif est remise en question à cause du fort champ électrique nécessaire à son fonctionnement. En effet, de telles tensions favorisent la création de porteurs chauds qui mèneraient à la dégradation de l'oxyde de grille et les performances du dispositif peuvent en pâtir.

1.1.3.3 Les Tunnel FETs :

Le principe de fonctionnement des Tunnel FET fut découvert en 1957 par L. Esaki [13], celui-ci démontra le "band to band tunneling" (BTBT) dans une diode p-n. La structure du TFET fut proposée en 1978 par Quinn et al. [14], et quelques groupes ont donné ensuite les premiers résultats expérimentaux [14, 15, 16]. L'intérêt pour ce dispositif est réellement apparu dans les années 2000, quand W. Hancsh et al. [17] présentèrent des caractéristiques de transistor Tunnel pour des tensions drain de 0,2 V à 1 V, donc pour des tensions de fonctionnement

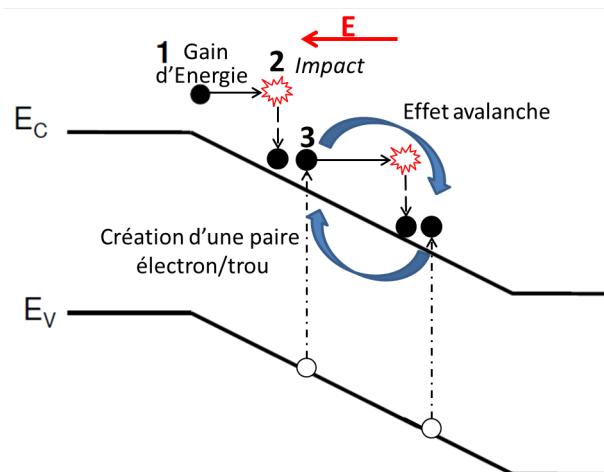


Figure 1.5: Représentation schématique du phénomène d'ionisation par impact suivie de l'effet d'avalanche à l'aide du diagramme de bandes d'un semiconducteur.

très faibles. Ensuite, les travaux de J. Appenzeller et al. [18] montrèrent expérimentalement que le Tunnel FET pouvait avoir un inverse de pente sous le seuil inférieur à la limite physique de celui des MOSFETs classiques. Par conséquent, le TFET pourrait répondre à la problématique de la puissance de consommation à dissiper des dispositifs actuels. Cependant, comme le niveau de courant de ces dispositifs restent faible dans les études présentées, plusieurs groupes ont étudié les aspects théoriques des performances de ce dispositif et déterminé l'impact de la longueur du canal [19], du recouvrement de la grille [20], de la diffusion des phonons [21], de la dépendance en température [22], de la tension de seuil [23], etc. Nous allons présenter en détails ces points dans la partie suivante.

1.2 Introduction du Tunnel FET

Nous allons détailler dans cette partie, le fonctionnement et les différents formalismes de calcul du courant d'un Tunnel FET. Nous mettrons l'accent sur celui utilisé dans notre modèle de simulation, lequel sera employé dans la suite de la thèse pour extraire les paramètres de la transition tunnel de nos mesures expérimentales au moyen de quelques approximations. Enfin nous présenterons les paramètres physiques principaux du dispositifs qui influent sur les performances des TFET.

1.2.1 Structure et fonctionnement du Tunnel FET

Le tunnel FET est un transistor dont l'injection des porteurs dans le canal se produit par effet tunnel bande à bande (BTBT) et non par un effet thermoïonique comme dans un MOSFET. C'est un phénomène typiquement quantique. Le transistor à effet tunnel est une diode p-i-n polarisée en inverse, dont la partie intrinsèque est totalement recouverte par une capacité MOS (voir schéma 1.6(a)). Ainsi sans tension de grille appliquée, le passage du courant par recombinaison Shockley-Read-Hall (SRH) ou par effet tunnel bande à bande est limité grâce à la largeur et la hauteur de la barrière énergétique. C'est l'état off du transistor, représenté par les courbes grises du diagramme de bandes de la figure 1.6(b). Mais en appliquant une tension de grille, on courbe alors les bandes d'énergie de la partie intrinsèque pour que la zone interdite, dans l'espace réel, soit suffisamment mince afin que la probabilité que les fonctions d'onde d'une particule traversent le gap du semiconducteur soit non nulle (cf figure 1.6(b)). Dans le cas d'un TFET à base de semiconducteur à gap direct, les électrons de la bande de valence traverseront le gap de celui-ci pour aller dans les états d'énergies accessibles de la bande de conduction. On appelle ce processus l'effet tunnel bande à bande (BBT) direct schématisé par une flèche, sur la figure 1.6(b) pour un P-TFET. Si le gap du semiconducteur est indirect, les électrons iront d'une bande à l'autre comme précédemment, mais ils satisferont à la loi de conservation de la quantité de mouvement et de l'énergie par l'absorption ou l'émission d'un phonon. On obtient alors l'état On du transistor, dont l'expression analytique du courant peut se décliner selon plusieurs formalismes en fonction du cas considéré. Les Tunnel FETs sont des dispositifs ambipolaires par essence, car que l'on applique une tension de grille positive ou négative, on pourra obtenir le passage des électrons par effet tunnel : de la BV du drain à la BC du canal pour un N-TFET et de la BV du canal à la BC de la source pour un P-TFET

. Cependant, on peut limiter l'ambipolarité des TFETs en ayant des parties source et drain de dopage asymétrique ou par l'utilisation d'hétérostructure, comme nous allons le présenter dans la suite du manuscrit.

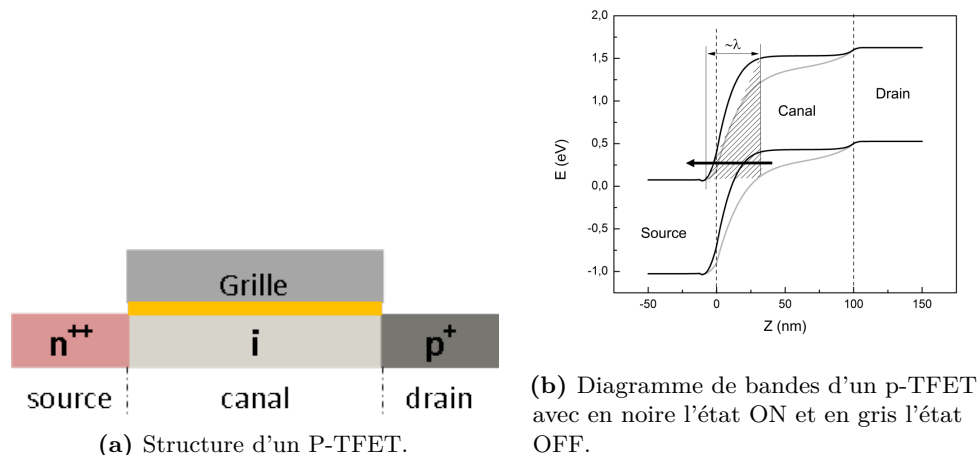


Figure 1.6: Représentation schématique d'un P-TFET et de son mode de fonctionnement.

Dans ce cas, nous devons préciser ici que la détermination du type P ou N du Tunnel FET suit la convention des MOSFETs. De plus, nous avons fait le choix de parler de courant d'électrons et non de trous ce qui nous permet de fixer les directions des transitions tunnels de la manière suivante :

- Pour un N-Tunnel FET, la partie drain est de type N, la tension drain est donc nommée V_N et elle est positive comme la tension de grille. Les électrons quittent donc la BV de la source pour aller dans la BC du canal.
- Pour un P-Tunnel FET, la partie drain est de type P, la tension drain est donc nommée V_P et elle est négative comme la tension de grille. Les électrons quittent donc la BV du canal pour aller dans la BC de la source.

Pour modéliser le courant obtenu par effet tunnel dans ces structures, il existe trois approches différentes : appliquer l'approximation de Wenzel-Kramer-Brillouin (WKB) au cas de la transition tunnel, utiliser le modèle de Monte-Carlo en insérant de manière phénoménologique le modèle de transition tunnel, ou encore résoudre les équations de Schrödinger et de Poisson en utilisant les fonctions de Green hors-équilibre ("Non-Equilibrium Green's Function" ou "NEGF" en anglais). Nous avons choisi pour la modélisation des caractéristiques électriques des Tunnel FET de la thèse, d'utiliser la première approche pour sa simplicité d'utilisation, ces temps de calculs courts, et le nombre limité de paramètres nécessaires pour simuler les courbes expérimentales.

Ainsi pour calculer le courant d'un Tunnel FET par l'approche WKB, il faut exprimer la probabilité de l'effet tunnel bande à bande et la multiplier par le nombre d'électrons dans un volume donné de l'espace afin d'obtenir le taux de génération d'électrons par effet tunnel. Il existe différents modèles prenant en compte des aspects plus ou moins complexes de la transitions bande à bande. Le plus connu est le modèle de Kane [24] qui

est une modélisation très rigoureuse mais aboutissant à une équation simple de l'effet tunnel dans les diodes. Il existe trois autres modèles assez proches du modèle de Kane : le modèle de Hurkx [25], le modèle de Klaassen [26, 25, 27] et celui de Schenk [28]. Ces quatre modèles supposent un champ électrique constant le long du parcours du porteur dans la transition BBT. On parle alors de modèle local ou à champ local. Cette approximation associée à celle de la chute de potentiel dans les zones dopées (cas non-dégénéré) permettent de considérer le problème comme un puits de potentiel triangulaire et donc de pouvoir appliquer l'approximation WKB. Le courant tunnel des trois premiers modèles cités peut-être représenté par l'expression compacte 1.4 qui permet de calibrer seulement deux variables pour les données expérimentales. C'est une des raisons qui nous a poussé à utiliser le modèle de Klaassen pour simuler le courant des tunnel FET expérimentaux.

$$I = D \cdot A \cdot |E|^\alpha \exp\left(-\frac{B}{|E|}\right) \quad (1.4)$$

avec A et B les paramètres de calibration variant selon le modèle choisi, D un facteur statistique, E l'amplitude du champ électrique local, $\alpha = 2$ pour les semiconducteurs à gap direct et 2,5 pour ceux à gap indirect, pour prendre en compte l'interaction électron-phonon [26].

Le facteur statistique D est utilisé pour prendre en compte la probabilité d'avoir un état d'énergie non vide dans la bande de conduction et un état d'énergie libre accessible dans la bande de valence [26]. Ce facteur pré-exponentiel est seulement utilisé dans le modèle de Hurkx, pour réduire le taux de génération-recombinaison par effet tunnel lorsque la tension de grille est nulle. Dans notre modèle, nous n'utiliserons pas ce facteur car les niveaux de courant pour les semiconducteurs à gap indirect à des tensions d'alimentation faibles restent bien en dessous du pico-Ampère, qui est la limite de détection de nos appareils de mesure électrique. Donc le courant simulé pour ces valeurs de V_D n'est pas utilisable pour la calibration du modèle sur nos données expérimentales.

Les constantes A et B varient selon le modèle utilisé, mais nous pouvons résumer leurs expressions analytiques par :

$$A = q^2 \frac{\sqrt{2m^*}}{h^2 \sqrt{E_g}} \quad B = \frac{\pi^2 E_g^{3/2} \sqrt{m^*/2}}{qh} \quad (1.5)$$

Habituellement, le modèle de Hurkx est utilisé pour les matériaux à gap direct, à cause de son facteur d'atténuation D à bas champ, et les modèles de Kane, de Klaassen et de Schenk pour les matériaux à gap indirect. Nous nous concentrerons sur les modèles utilisés pour les matériaux à gap indirect ici, puisque nous utilisons uniquement le silicium et le germanium non-contraints dans cette étude. Les modèles de Kane et de Klaassen diffèrent très peu hormis l'expression des constantes A et B qui dans le cas du premier, laisse la dépendance du gap dans l'équation alors que le second l'insère dans les constantes. Voici

les valeurs de A et B dans ces deux modèles pour le Silicium :

$$\begin{aligned} A_{Kane} &= 3,5 \cdot 10^{21} \text{eV}^{1/2} \text{cm}^{-1} \text{V}^{-2} & B_{Kane} &= 22,5 \cdot 10^6 \text{Vcm}^{-1} \text{eV}^{-3/2} \\ A_{Klaassen} &= 4 \cdot 10^{14} \text{cm}^{-1/2} \text{V}^{-5/2} \text{s}^{-1} & B_{Klaassen} &= 19 \cdot 10^6 \text{Vcm}^{-1} \end{aligned}$$

Le modèle de Schenk quant à lui, simule la probabilité de BBT assisté par les phonons, en incluant l'énergie des phonons dans le calcul du taux de génération-recombinaison des porteurs par effet tunnel 1.6, par l'expression suivante :

$$G_{BBT}^{Schenk} = A_S F^{7/2} S \left[\frac{(A^\mp)^{-3/2} \exp(\frac{A^\mp}{F})}{\exp(\frac{E_{h\omega}}{kT}) - 1} + \frac{(A^\pm)^{-3/2} \exp(\frac{A^\pm}{F})}{1 - \exp(\frac{-E_{h\omega}}{kT})} \right] \quad (1.6)$$

Où, $A^\pm = B_S (\hbar\omega \pm E_{h\omega})^{3/2}$ avec $\hbar\omega$ l'énergie de transfert des phonons acoustiques, le signe du haut (le signe du bas) s'appliquant pour la génération (recombinaison) d'une paire électrons-trous par effet tunnel. La génération se produisant lorsque la jonction est polarisée en inverse et la recombinaison lorsque la jonction est passante. Les valeurs des coefficients A_S , B_S et $E_{h\omega}$ pour le silicium sont :

$$A_S = 8,977 \cdot 10^{20} \text{cm}^2 \text{s}^{-1} \text{V}^{-2} \quad B_S = 2,147 \text{eV}^{-3/2} \text{Vcm}^{-1} \quad E_{h\omega} = 0,0186 \text{eV}$$

S est le facteur statistique dépendant de la concentration de porteurs et F est l'amplitude du champ électrique local.

Pour la simulation de nos dispositifs expérimentaux, nous avons donc choisi d'utiliser le modèle de Klaassen pour son bon accord et sa simplicité d'utilisation pour extraire de nos courbes expérimentales des valeurs approchées des coefficients A et B.

Des modèles de BBT avec un champ non local existent, tel que le logiciel commercial Sentauros. Mais ces modèles sont beaucoup plus complexes à mettre en œuvre, car ils prennent en considération la largeur de la barrière tunnel et l'accessibilité des états disponibles dans chaque bande (BV, BC) à chaque point de la jonction tunnel. Ainsi les bandes d'énergie sont calculées pour chaque point le long de la jonction, ayant un niveau d'énergie compris dans la gamme permettant une contribution au BBT. Ensuite, la probabilité de transition tunnel est calculée selon l'approximation WKB. La tendance qualitative des courbes obtenues par le modèle en champ non-local est souvent plus éloignée des mesures expérimentales que celles obtenues en champ local, sûrement à cause de la complexité des paramètres utilisés. Mais pour toute simulation, les valeurs qualitatives doivent être prises avec beaucoup de précaution.

1.2.2 Influence du design sur le niveau de courant du Tunnel FET

Nous allons expliciter ici l'influence sur les performances électriques du dispositif des principaux paramètres de l'architecture des Tunnel FET, sur lesquels nous avons les moyens techniques d'intervenir. Nous commencerons par l'effet du matériau source, puis nous parlerons de la géométrie du dispositif elle-même.

1.2.2.1 Effet du matériau de la source

On peut voir grâce à l'équation (1.7) (une ré-écriture de l'équation (1.4)) que le semiconducteur utilisé est un paramètre important pour les performances du Tunnel FET, par le gap et la masse effective des porteurs. En effet, si on utilise un matériau à gap plus petit que celui du silicium et à gap direct/indirect, les performances du dispositifs seront très différentes. Cet impact a été étudié par de nombreuses équipes ces dernières années [29, 30, 31]. L'utilisation de semiconducteur à petit gap permet une amélioration du niveau de courant comme le montre la figure 1.7 issue de l'étude de Mayer at al. [30].

$$I \propto T(E) \propto \exp\left(-\frac{4\lambda\sqrt{2m^*}}{3\hbar(E_g + \Delta\Phi)}\right) \quad (1.7)$$

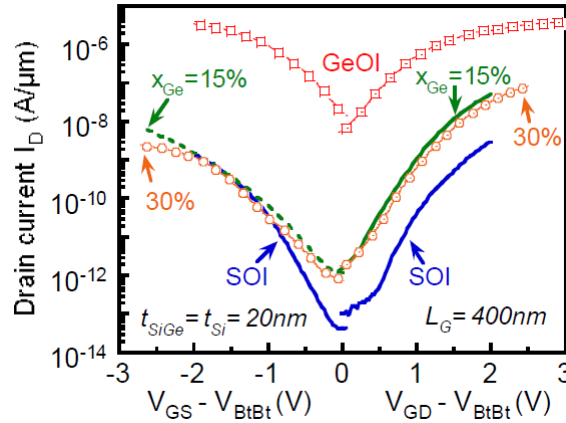


Figure 1.7: Comparaison entre les homostructures sur substrats Silicium(SOI), $Si_{1-x}Ge_xOI$ ($t_{SiGe} = 20nm$) et de Germanium (GeOI, $t_{Ge} = 60nm$) pour une tension de drain de $\pm 0,8V$. [30]

Mais comme cela peut-être observé dans cette étude, la diminution du gap du semiconducteur dans tout le dispositif induit une forte augmentation du courant Ioff. En effet celui-ci est le courant de polarisation inverse de la diode p-i-n, à la tension de drain appliquée. Or il est dû au mécanisme de génération-recombinaison Shockley-Read-Hall (SRH) lequel est proportionnel au nombre de porteurs intrinsèques $n_i = \exp(-E_g/2k_B T)$, où k_B est la constante de Boltzmann et T la température. Donc à cause de la dépendance de n_i en fonction du gap E_g , la génération SRH est plus importante dans les matériaux à petit gap.

De plus, on observe sur cette figure que les TFETs ont un comportement ambipolaire. En effet, les transistors présentés ici sont autant de type N que de type P, ce qui signifie que les jonctions source-canal et drain-canal sont toutes les deux favorables à la conduction par transition tunnel. Donc ces Tunnel FETs sont à l'état Off seulement lorsque la tension de grille est nulle. Pour éviter ce comportement ambipolaire, il faut dés-symétriser les jonctions p-i et i-n pour qu'une d'entre-elles soit la plus favorable à la transition BBT. Pour ce faire, on peut abaisser le niveau de dopage d'une des zones source/drain, mais cela peut provoquer par la suite des problèmes de résistance d'accès. Une autre solution est d'utiliser

deux semi-conducteurs différents : un semiconducteur à petit gap pour la source et un à gap plus important pour le canal et la partie drain. Les hétérostructures ainsi formées sont composées en général de silicium pour la partie drain et le canal et d'un matériau à petit gap ou/et à gap direct pour la partie source [32, 33, 34, 35, 36, 37]. Les matériaux sources tels que le germanium, ou des composés des groupes III-V ont été proposés pour augmenter la probabilité de transition par effet tunnel. Mais les semiconducteurs des groupes III-V sont difficiles à faire croître sans une densité de défauts cristallins importante. De plus, la qualité des interfaces de ces matériaux III-V avec les oxydes ne sont pas encore à l'état de l'art du silicium, ce qui freine les performances de ces Tunnel FETs, comme nous le verrons par la suite.

C'est pourquoi nous avons choisi dans ce travail d'utiliser les matériaux du groupe IV des semiconducteurs, tel que le silicium et le germanium car ils sont mieux connus, plus facile à synthétiser et à intégrer. De plus, notre procédé a pour but de s'approcher d'un protocole de fabrication compatible avec les procédés CMOS. Maintenant, nous allons discuter de l'influence de certains paramètres sur les performances électriques des Tunnel FET.

1.2.2.2 Effet de la géométrie du dispositif

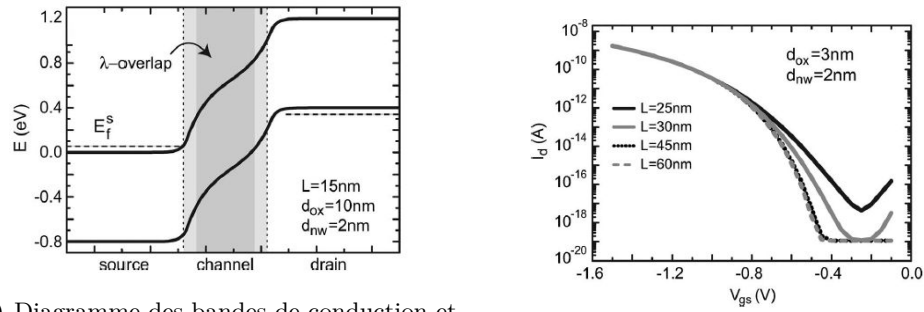
La géométrie du dispositif fixe plusieurs paramètres importants pour les performances des TFETs : la longueur d'écrantage, la longueur du canal et la longueur de la grille.

La longueur d'écrantage λ La longueur d'écrantage λ (voir équation 1.7 ou la figure 1.6(b)) est la longueur nécessaire pour que le système réponde aux sollicitations de la tension de grille, comme dans les MOSFETs conventionnels. Plus cette longueur est courte, plus le contrôle électrostatique de la grille sur le canal sera efficace. Elle dépend de l'oxyde de grille et du semiconducteur utilisés, par leurs constantes diélectriques et leurs épaisseurs, mais aussi de l'architecture du dispositif. En effet, on peut l'exprimer d'après Appenzeller et al. et Colinge [38, 39] par les expressions présentées dans le tableau 1.1 selon la géométrie de la grille. Nous montrerons donc l'influence du contrôle électrostatique et de la géométrie des dispositifs sur les performances des TFETs dans la suite du manuscrit.

Table 1.1: Longueurs d'écrantage en fonction de la géométrie du dispositif.

1 grille	$\lambda_{SG} = \sqrt{\frac{\varepsilon_{sc}}{\varepsilon_{ox}} t_{ox} t_{sc}}$
2 grilles	$\lambda_{DG} = \sqrt{\frac{\varepsilon_{sc}}{2\varepsilon_{ox}} t_{ox} t_{sc}}$
Ω - grille	$\lambda_{\Omega-gate} = \sqrt{\frac{\varepsilon_{sc}}{8\varepsilon_{ox}} t_{sc}^2 \ln(1 + \frac{t_{ox}}{t_{sc}})}$
GAA (grille enrobante)	$\lambda_{GAA} = \sqrt{\frac{\varepsilon_{sc}}{8\varepsilon_{ox}} t_{sc}^2 \ln(1 + \frac{2t_{ox}}{t_{sc}})} + \frac{t_{sc}^2}{16}$

La longueur du canal : Les transistors à effet tunnel sont réputés pour ne pas être sensibles aux effets de canal court ("short channel effect" en anglais SCE) comparé aux dispositifs conventionnels, parce que le processus d'effet tunnel se produit seulement à une seule jonction n-i ou i-p (selon le signe de la tension de grille appliquée). Cependant, comme mis en avant par Appenzeller et al. [38], aux interfaces drain-canal et source-canal, ces jonctions ont une extension spatiale du même ordre de grandeur que λ , la longueur d'écrantage. Donc si la longueur du canal est inférieure à $\approx 2\lambda$, il y aura recouvrement des jonctions de contact drain-canal et canal-source, comme représenté sur la figure 1.8(a). Dans cette configuration, on peut voir apparaître des effets de canal court, ce qui peut induire une perte du contrôle électrostatique de la grille sur le canal. Ceci se traduit par l'augmentation de la valeur de l'inverse de la pente sous le seuil et du niveau de courant I_{off} , comme représenté sur le figure 1.8(b). Il est donc effectivement vrai que les Tunnel FETs sont moins sensibles aux effets de canal court que les MOSFETs standard (qui souffrent en plus des points abordés ici, de dégradation de la mobilité des porteurs), mais il existe malgré tout une limite de longueur du canal à respecter pour ne pas dégrader les performances des Tunnel FETs par un canal trop court. Dans notre étude, nous serons loin de ce type de problème puisque le canal le plus court aura une longueur de 450 nm.

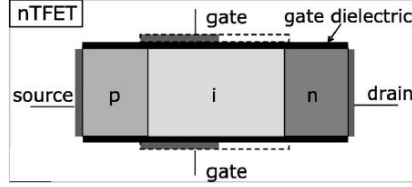


(a) Diagramme des bandes de conduction et de valence d'un TFET à canal court à l'état OFF, présentant un recouvrement entre les jonctions source-canal et drain-canal, .

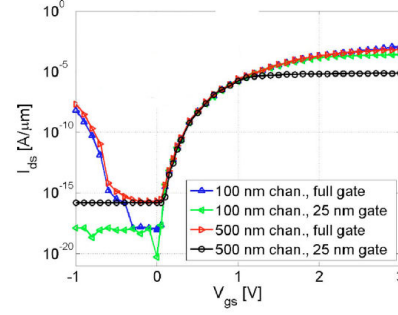
(b) Caractéristiques de transfert simulées de Tunnel FET à nanofil à canal court pour différentes longueurs de canal.

Figure 1.8: Simulation des effets de canal court dans un P-TFET [38].

La longueur de la grille : La structure traditionnelle d'un TFET est constituée d'une grille recouvrant complètement le canal du transistor. Mais dans l'optique de la diminution d'échelle et de l'optimisation des performances électriques, on peut envisager de réduire la longueur de celle-ci, comme présentée sur la figure 1.9(a). Évidemment la grille doit rester proche de la jonction source-canal pour permettre un bon contrôle électrostatique des bandes dans cette zone. Des études [20, 40, 41] ont montré que la diminution de la grille côté drain permettait d'éviter l'ambipolarité des dispositifs, comme on peut l'observer sur les simulations présentées sur la figure 1.9(b). Cette structure de TFET à grille raccourcie est similaire au IMOS présenté précédemment, mais les TFETs ainsi optimisés fonctionnent aux tensions souhaitées pour les applications de faibles consommations. Ces transistors sont généralement désignés dans la littérature par l'appellation "green-transistor".



(a) TFET type-N conventionnel avec une grille de longueur variable : les lignes pointillées présentent la structure de grille conventionnelle et le rectangle plein représente la grille raccourcie.



(b) Caractéristiques de transfert simulées de N-Tunnel FET à nanofil pour différentes longueurs de grille et différentes épaisseurs de canal.

Figure 1.9: Le "green-transistor" [20].

1.2.3 Influence des paramètres sur l'inverse de la pente sous le seuil (SS)

L'engouement pour les Tunnel FETs est né en partie grâce à leur capacité d'avoir un inverse de pente sous le seuil inférieur à 60mV/dec, pour diminuer les tensions de fonctionnement des transistors. Comme nous allons le voir, cette valeur est difficilement atteinte expérimentalement. C'est pourquoi, nous allons développer dans ce paragraphe, l'expression théorique de celle-ci, et présenter en détails les grandeurs physiques qui la composent.

En partant de la définition générale de l'inverse de la pente sous seuil $SS = dV_{GS}/d(\log(I_{DS}))$, il est possible de l'exprimer en fonction de la tension de grille [42] ou des niveaux d'énergie des bandes, lesquels sont bien entendu modifiés par la tension de grille [19]. Bhuwarka et al.[42] ont ainsi exprimé le SS en fonction de la tension de grille comme suit :

$$SS = \frac{dV_{GS}}{d(\log(I_{DS}))} = \ln(10) \left(\frac{\partial I_d}{\partial V_{GS}} \frac{1}{I_d} \right)^{-1}$$

$$SS = \frac{V_{GS}^2}{2V_{GS} + B_{Kane} W_g^{3/2} / D}$$

où W_g est la valeur du gap à la jonction tunnel, V_{GS} la tension appliquée sur la grille, le champ électrique maximal dans la zone de l'effet tunnel a été approximé par $E_{max} = DV_{GS}$, D étant une fonction de V_{DS} , de l'épaisseur de l'oxyde de grille, du niveau de dopage des trois zones et de la longueur du canal. Grâce à cette expression, on voit clairement que SS varie en fonction de la tension de grille, ce qui implique que le TFET doit passer de l'état Off à l'état On pour des valeurs de V_{GS} les plus faibles possibles afin d'obtenir un SS inférieur à 60mV/decade. Pour ce faire, il faut un bon contrôle électrostatique sur le canal, un dopage élevé avec un profil pour la partie source le plus abrupte possible. Ces conditions sont accessibles dans les procédés actuels de fabrication en microélectronique sur silicium et germanium.

Cependant, on remarque que très peu de dispositifs expérimentaux ont montré un inverse

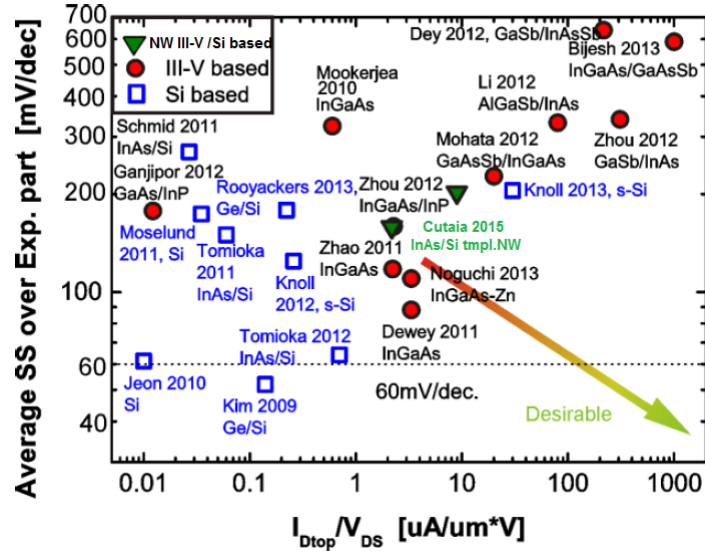


Figure 1.10: Graphique de l'inverse de la pente sous le seuil moyen en fonction de I_d/V_d pour un nombre de données publiées sur les TFETs [43].

de pente sous le seuil inférieure à 60mV/dec, dans la littérature, ou qu'elle ne l'est que sur quelques décades. En effet, la figure 1.10 réalisée par Cutaia et al. [43], présente les SS obtenus en fonction du ratio du niveau de courant obtenu à l'état On sur la tension fournie (I_{Dtop}/V_{DS} pour des publications entre 2009 et 2014, toute technologie confondue, top-down et bottom-up). On voit clairement que l'obtention d'un fort niveau de courant s'accompagne souvent d'un SS dégradé. Pour comprendre pourquoi il est si difficile d'obtenir un inverse de pente sous le seuil inférieure à 60mV/dec, nous allons présenter en détails le travail de Knoch et al.[19] qui ont étudié l'expression théorique de celui-ci exprimé non plus directement en fonction de V_{GS} mais en fonction du niveau de la bande de valence du canal E_V^{ch} (pour un P-TFET).

Pour obtenir cette expression, ils ont tout d'abord dérivé le courant I_d en fonction de V_{GS} tel que :

$$\frac{\partial I_d}{\partial V_{GS}} = e \frac{\partial I_d}{\partial E_V^{ch}} = \frac{2e^2}{h} \left(\frac{\partial T_{WKB}}{\partial E_V^{ch}} F(E_V^{ch}) + T_{WKB} \frac{\partial F(E_V^{ch})}{\partial E_V^{ch}} \right) \quad (1.8)$$

où T_{WKB} probabilité de transmission par BBT, $F(E_V^{ch}) = \int_{E_V^{ch}}^{E_C^s} dE [f_s(E) - f_d(E)]$ avec $f_{s,d}(E)$ la fonction de distribution de Fermi de la source ou du drain.

Cette dérivée montre deux contributions différentes au changement de I_d en fonction de V_{GS} . Le premier membre de l'expression (1.8) est dominant si T_{WKB} est faible. Dans ce cas, le SS change rapidement avec la tension de grille. On peut alors simplifier son expression jusqu'à obtenir l'équation (1.9) où $\Delta\Phi = E_V^{ch} - E_C^s$. Ainsi pour de faibles tensions V_{GS} , les valeurs de SS sont minimales car λ est grande alors que $\Delta\Phi$ est petit. Quand V_{GS} augmente la dépendance quadratique de $\Delta\Phi$ et la diminution de λ implique une augmentation du SS.

$$SS \approx \frac{\ln(10)}{|e|} \frac{3q\hbar(\Delta\Phi + E_g)^2}{4\lambda\sqrt{2m^*}E_g^{3/2}} \quad (1.9)$$

Maintenant pour que le second membre soit dominant, il faut que T_{WKB} soit de l'ordre de l'unité et donc qu'elle change très peu avec la tension de grille. Dans ce cas, les variations de SS en fonction de V_{GS} sont déterminées par la dépendance de $F(E_V^{ch})$ donc des fonctions de distribution de Fermi en V_{GS} . En développant au premier ordre $F(E_V^{ch})$ pour de faibles valeurs de $\Delta\Phi$, Knoch et al. ont obtenu l'expression suivante :

$$SS \approx \frac{\ln(10)}{|e|} \Delta\Phi \quad (1.10)$$

Dans ce cas de figure, l'inverse de la pente sous le seuil a une dépendance linéaire en V_{GS} . Et pour des valeurs de $\Delta\Phi$ qui tendent vers zéro, l'inverse de la pente sous le seuil tend également vers zéro.

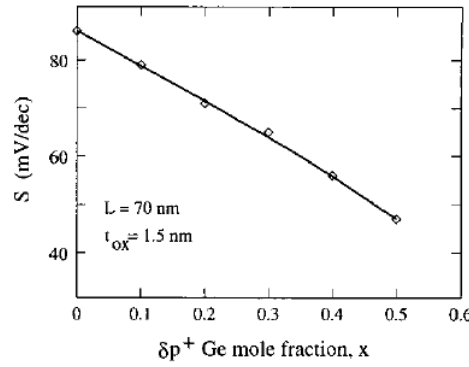


Figure 1.11: L'inverse de la pente sous le seuil en fonction du pourcentage de germanium inséré dans le TFET. SS diminue avec l'augmentation du pourcentage de Ge inséré et va plus bas que 60mV/Dec pour $x=0,4$ [42].

Le détail de cette étude de Knoch et al. nous permet de comprendre pourquoi il est si difficile de réaliser des Tunnel FETs ayant un $SS < 60 \text{ mV/dec}$ avec des semiconducteurs à gap indirect et/ou à gap relativement large. Car alors la probabilité d'effet tunnel bande à bande est faible. En effet dans la littérature, on peut trouver des valeurs de T_{WKB} de 0,0029 pour un TFET en silicium et de 0,17 pour un dispositif avec une source en germanium [29]. Cependant, Bhuwarka et al. [42] ont montré que l'inverse de la pente sous le seuil était amélioré par la diminution du gap du semiconducteur, bien que la probabilité d'effet tunnel soit inférieure à 1, comme présenté sur la figure 1.11. Donc des SS localement faibles sont possibles sur ces matériaux. Les structures avec une $T_{WKB} \approx 1$ sont des hétérostructures de type II à gap brisé, « broken-gap » en anglais. Cette structure de bande permet le passage des porteurs par effet tunnel même à une tension de grille nulle. Donc l'utilité de cette dernière est ici de bloquer la conduction dans le TFET. Une analyse par la simulation des performances d'une telle structure a été réalisée dans l'article de Koswatta et al. [44], où ils montrent qu'une hétérostructure de type broken-gap pour un dispositif

unidimensionnel permettrait d'obtenir des performances équivalentes au MOSFET mais avec un $SS < 60 \text{ mV/dec}$. Cependant ces hétérostructures 1D sont généralement réalisées à partir de nanofils de matériaux III-V tels que InAs/GaSb ou InAs/InSb, donc un matériau difficile à épitaxier. De plus, le contrôle de l'alignement des bandes d'énergie n'est pas évident dans les structures 1D (à cause du confinement), ce qui peut transformer la structure à gap brisé en gap décalé [45, 44].

1.2.4 La mise en évidence de l'effet tunnel :

1.2.4.1 Le comportement en température d'un TFET

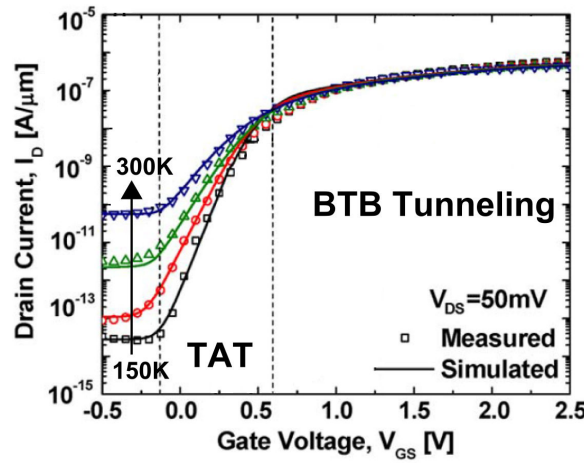


Figure 1.12: Caractéristique de transfert (I_d - V_{gs}) d'un TFET vertical $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$, montrant trois régions de dépendance en température différentes pour les températures allant de 150 K à 300 K [46].

Comme nous l'avons vu, les performances électriques d'un Tunnel FET dépendent de la tension de grille appliquée. Nous pouvons même considérer deux plages de tension de grille sur lesquelles le Tunnel FET répond à différents mécanismes de transport des porteurs, comme présenté sur la figure 1.12, extraite de l'article [46]. Mookerjea et al. ont réalisé un TFET vertical à base de $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$, semiconducteur à gap direct. La zone appelée "BTB Tunneling" est celle où les porteurs sont générés par effet tunnel bande à bande, après le seuil. Elle a donc une très faible dépendance en fonction de la température, c'est-à-dire seulement celle du gap en fonction de celle-ci ($E_g(T)$) puisque le dispositif est à gap direct. Si l'on utilise un semiconducteur à gap indirect, la dépendance en température des phonons interviendrait également. Cependant cette dépendance est relativement faible puisque des études sur des dispositifs à base de silicium ont montré un niveau de courant constant en fonction de la température [47, 48, 49]. En revanche la zone appelée "TAT" pour "Trap-assisted Tunneling" présente une augmentation du courant exponentiel avec la tension de grille, c'est donc la zone sous le seuil. On observe que l'inverse de la pente sous le seuil de ces courbes se dégradent avec la température. Ce comportement s'explique par le fait que les porteurs transitent par effet tunnel de la BV à des pièges d'énergie du milieu du gap, puis ils sont libérés grâce à l'agitation thermique et l'effet de champ par un

mécanisme de type Poole–Frenkel. C’est à cause de ce second processus, que le courant de ce régime dépend davantage de la température que la transition tunnel bande à bande et que l’inverse de la pente sous le seuil est dégradé. Le TAT est représenté schématiquement sur la figure 1.13.

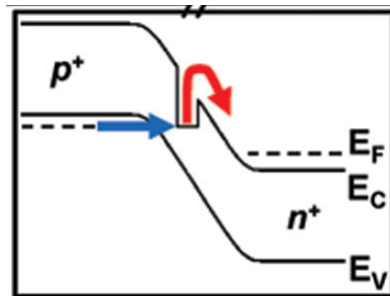


Figure 1.13: Diagramme de bandes montrant le mécanisme de TAT. Les porteurs passent par effet tunnel de la bande de valence à un état de piège du milieu du gap, puis ils sont émis dans la bande de conduction par effet thermique [50].

Cette invariance en température du courant issu de l’effet tunnel est une caractéristique typique d’un Tunnel-FET. Elle permet de prouver que l’on a bien un mécanisme de conduction BBT lorsque la valeur de l’inverse de la pente sous le seuil reste élevée. Un autre comportement du TFET qui le différencie des autres transistors est sa dépendance en tension de drain, comme nous allons le voir dans le paragraphe suivant.

1.2.4.2 La définition des tensions seuils des TFETs :

Il est d’usage de définir une tension seuil pour les transistors, cette tension permettant de définir la séparation entre le régime de faible et de forte injection pour les MOSFETs, et d’obtenir le niveau de courant de fonctionnement du transistor. La définition d’une tension seuil pour un transistor tunnel est tout au tant utile que pour les MOSFETs, mais comme le mécanisme de conduction n’est pas le même, il a fallu la redéfinir pour qu’elle est un sens physique. Tout comme pour les MOSFETs, la tension seuil d’un TFET est la tension à partir de laquelle le courant tunnel change de dépendance en fonction de la tension de grille. Lorsqu’une tension de grille est appliquée sur la jonction tunnel, le courant qui la traverse dépend exponentiellement de la tension de grille, car celle-ci diminue la largeur de la barrière tunnel. La largeur de la barrière tunnel possède également une dépendance exponentielle en fonction de la tension drain, ce qui est une particularité des Tunnel FETs étudiée par quelques groupes [23, 51, 52, 48]. En effet pour qu’une transition tunnel d’une bande à l’autre se produise, elle requière une valeur minimum de tension de drain pour que le transistor passe dans l’état On quelque soit la tension de grille appliquée.

Mais cette barrière tunnel ne peut pas être indéfiniment diminuée, et la dépendance envers les deux tensions appliquées ne sont pas identiques. De Michielis et al. [51] ont montré que la dépendance en V_d provenait de la diminution des niveaux d’énergie du bas de la bande de conduction induite par l’application de la tension de drain. Ainsi cette dépendance exponentielle atteint rapidement un niveau de saturation pour lequel le courant I_d devient indépendant de la tension appliquée au drain, comme on peut l’observer sur la

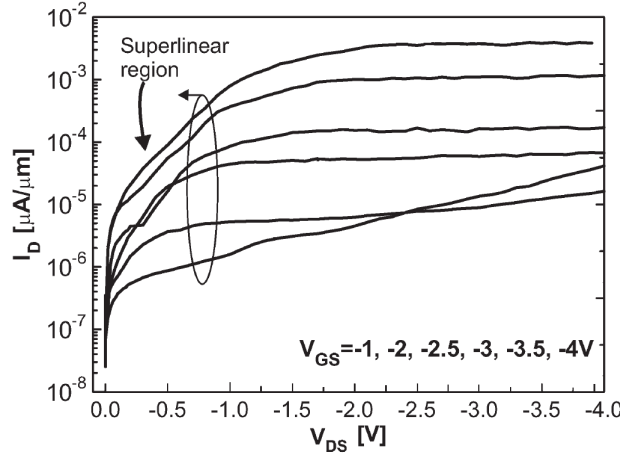


Figure 1.14: Id-Vd en échelle semi-log pour différentes tensions de grille [48]. La zone de superlinéarité correspond à la zone avant la tension seuil de drain.

caractéristique Id-Vd à V_g fixe de la figure 1.14, matérialisé par la zone appelée « superlinear region ». En ce qui concerne la dépendance en tension de grille, pour $V_{GS} > V_{ThG}$, le courant tunnel aura une dépendance linéaire avec la tension de grille [20, 30]. Ces tensions seuils ne peuvent pas être estimées par la méthode d'extraction à courant constant, méthode largement utilisée pour les MOSFETs car elle est rapide et facile d'utilisation, malgré son manque de précision. Cette méthode sous estimerait fortement les valeurs des tensions seuils, car elles resteraient dans les zones de dépendance exponentielle. Pour obtenir les tensions seuil d'un TFET, nous devons utiliser la méthode utilisant la dérivée seconde de la transconductance, (déjà validée pour les transistors MOS [53]), sur les caractéristiques de transfert et sur les courbes de I_D - V_{DS} à V_{GS} fixe.

Malheureusement, l'extraction des tensions seuils par cette méthode sur nos mesures expérimentales ce sont révélées beaucoup trop bruitées pour extraire des valeurs correctes, malgré nos tentatives de dé-bruitage et lissage des courbes.

1.3 Etat de l'art des Tunnels FET à nanofils

Nous allons présenter dans cette partie, quelques exemples de l'état de l'art des Tunnel FET à nanofils obtenus selon les deux approches existantes : top-down et bottom-up. Nous centrerons l'état de l'art des TFETs sur les matériaux IV-IV compatibles avec les procédés de fabrication de l'industrie de la microélectronique. Nous distinguerons deux types de TFET pour aller du plus simple à la configuration optimum du point de vue du contrôle électrostatique : les transistors planaires avec un recouvrement de grille partiel et ceux à grille totalement enrobante (Gate-all-around). Ayant déjà discuté brièvement l'état de l'art de la pente sous le seuil, dans le paragraphe 1.2.3, nous nous concentrerons sur le niveau de courant de l'état ON en fonction du matériau utilisé. Ce paramètre est en fait une des faiblesses des TFET par rapport aux MOSFETs, même si dans le domaine d'application back-end que nous visons, nous n'avons pas les mêmes contraintes que les dispositifs pour

une intégration dans le front-end.

1.3.1 Transistors planaires

TFET planaire à base de nanofil de silicium

De nombreuses études sur les transistors à nanofils en Ω -grille ont été réalisées depuis les années 2000. L'équipe de H. Riel de IBM Research-Zurich publia en 2011 des résultats expérimentaux sur l'intégration de nanofils de silicium obtenus par la même technique de croissance que nous utilisons dans la thèse, c'est-à-dire par CVD-VLS (Dépôt Chimique en phase Vapeur utilisant le mécanisme Vapeur-liquide-solide) [48]. Cette équipe a obtenu les meilleurs résultats publiés sur ce type de nanofils à notre connaissance. La croissance des nanofils de silicium a été réalisée à 450 °C catalysée par des nano-particules d'or de 20 à 60 nm de diamètre. Le dopage de la partie de type-n est de $1,5 \cdot 10^{20} \text{cm}^{-3}$ et celui de la partie p est seulement de $5 \cdot 10^{18} \text{cm}^{-3}$, ils ont réalisé une coquille fortement dopée de type-p autour de la partie drain du fil (figure 1.15 (a) et (b)). Ensuite ils ont effectué un recuit à 700 °C pour tous les dispositifs.

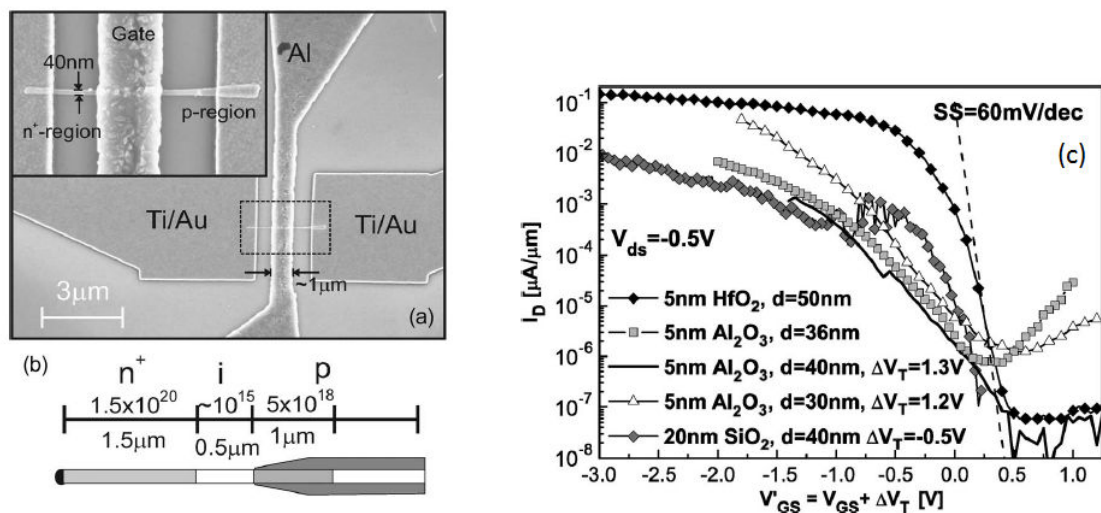


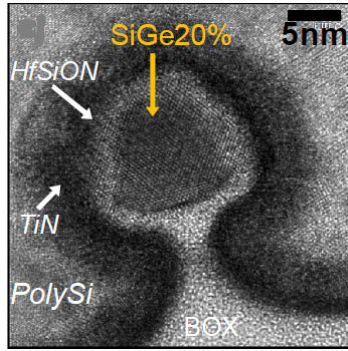
Figure 1.15: (a) Image MEB d'un Tunnel FET. (b) Schéma de nanofil montrant les différentes sections de croissance. (c) Caractéristiques de transfert de tunnel FETs à $V_{DS} = -0,5 \text{ V}$ avec Al_2O_3 comme diélectrique de grille comparés avec des dispositifs avec 20 nm de SiO_2 et 5 nm de HfO_2 . Quelques courbes ont été décalées en V_{GS} pour permettre une meilleure comparaison entre les valeurs, dans ce cas, le déplacement est indiqué par ΔV_T . La ligne pointillée correspond à la limite de 60 mV/decade des MOSFET à température ambiante [48].

Ils ont montré l'influence du contrôle électrostatique sur les performances du TFET par l'utilisation d'oxyde de grille à forte constante diélectrique et par la réduction du diamètre du nanofil. En effet, la comparaison des caractéristiques obtenues avec l'utilisation de HfO_2 et SiO_2 (figure 1.15 (c)) montrent bien l'amélioration du courant I_{on} et du SS par l'oxyde de grille alors que le dispositif avec HfO_2 a un diamètre plus important que celui avec SiO_2 . Ensuite l'influence du diamètre du nanofil est montrée par les trois caractéristiques $I_{DS}-V_{GS}$ pour l'oxyde de grille Al_2O_3 .

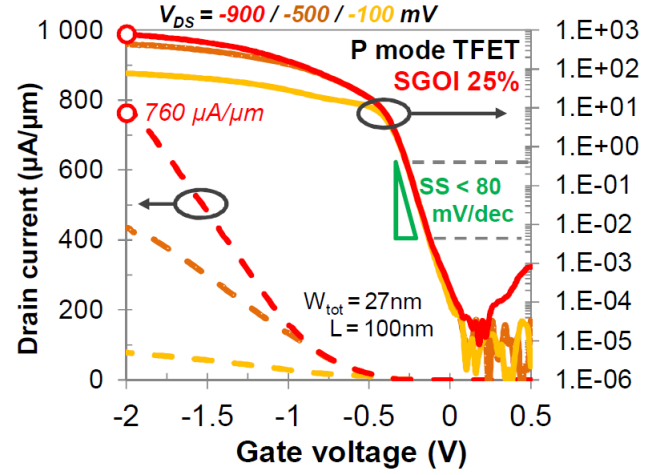
Le dispositif présentant les meilleures performances électriques est celui avec HfO_2 , dont le courant $I_{\text{ON}} = 0,1 \mu\text{A}/\mu\text{m}$ à $V_{\text{DS}} = -0,5 \text{ V}$ et $V_{\text{GS}} = -2 \text{ V}$ avec un SS moyen de $120 \text{ mV}/\text{dec}$.

TFET planaire à base de nanofil SiGe

En 2014, l'équipe de M. Vinet du CEA-LETI de Grenoble présenta un record de niveau de courant sur TFET à base de nanofils SiGe obtenus par voie descendante [54]. Ils ont réalisé ces transistors dans l'optique d'une intégration dans le front-end. Ils ont fabriqué un tunnel FET à hétérostructure dont les parties source et drain sont composées de $\text{Si}_{1-x}\text{Ge}_x$ avec $x=0,3$ et dont le canal est aussi l'alliage $\text{Si}_{1-x}\text{Ge}_x$ mais avec x compris entre 0,2 et 0,25. L'insertion du germanium dans le substrat est réalisée par enrichissement au germanium. Les nanofils ont une largeur d'environ 5 nm et la longueur de la grille est de 100 nm . Cette dernière a la géométrie Ω -grille comme présentée sur la figure 1.16(a) et un oxyde de grille de $1,25 \text{ nm}$ d'EOT.



(a) Image HRTEM en coupe du nanofil SiGe.



(b) Courbe $I_{\text{ds}}-V_{\text{gs}}$ de la branche P du TFET SGOI avec un canal à 25% de Germanium.

Figure 1.16: Record de courant I_{on} et de SS pour un TFET à base de SiGe [54].

La caractéristique de transfert de ce dispositif est présentée en figure 1.16(b). Le niveau de courant obtenu est de $760 \mu\text{A}/\mu\text{m}$ pour une tension drain de $-0,5 \text{ V}$ et de grille de -2 V . L'inverse de la pente sous le seuil est de $80 \text{ mV}/\text{dec}$ en moyenne sur plus de deux décades. Le courant I_{off} de la structure est de $20 \text{ pA}/\mu\text{m}$. En revanche, comme ils ont inséré la même quantité de germanium dans la source comme dans le drain, leur dispositif est ambipolaire. Ce résultat est très encourageant pour une intégration future des Tunnel FET dans le front-end.

1.3.2 Transistor Gate-All-Around

Nous allons présenter dans ce paragraphe un résultat particulier obtenu sur des transistor verticaux à grille totalement enrobante. Cette architecture sera la deuxième étudiée durant

la thèse. Nous avons choisi les travaux de l'équipe de R. Gandhi de l'Université de Singapour dont la structure est très proche de celle que nous utiliserons et qui a obtenu la meilleure pente sous le seuil sur silicium jusqu'à présent [55].

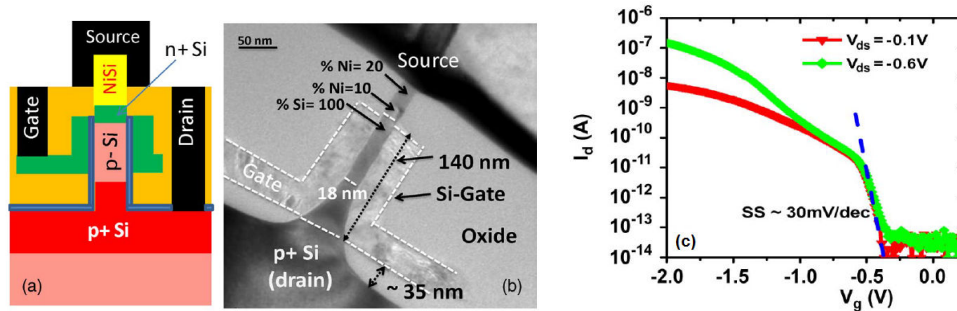


Figure 1.17: a) Schéma du dispositif et b) une image TEM du dispositif réalisé avec un nanofil de 18nm de diamètre et une longueur de grille de 140 nm. c) Caractéristique I_{DS} - V_{GS} d'un P-TFET à nanofil silicium vertical avec une valeur de SS de 30mV/dec et 50mV/dec sur 10^{-14} - 10^{-13} A et 10^{-14} - 10^{-11} A de courant drain respectivement. [55]

Leurs nombreuses étapes de fabrication peuvent être résumées comme suit : les nanofils ont été obtenus dans un substrat type-p faiblement dopé (10^{15}cm^{-3}) par gravure Deep RIE suivie d'une oxydation thermique à 1000°C et d'un retrait chimique de l'oxyde par une solution HF diluée. Ainsi ils ont obtenu des nanofils d'un diamètre compris entre 20 et 200 nm, selon la taille du masque dur. Ensuite ils ont défini la zone de drain par implantation d'ions BF_2 . Ils ont en-capsulé le pied de la structure dans un diélectrique pour réaliser l'oxyde de grille de 4,5 nm par oxydation thermique suivie d'un dépôt de silicium amorphe comme contact de grille. La partie source et le contact de grille ont ensuite été implanté par des ions As. Ils ont effectué la siliciuration du contact de la source grâce à 15 nm de nickel, puis tout le dispositif fut recouvert de diélectrique. Enfin ils ont défini les ouvertures de contact dans le diélectrique et réalisé la métallisation avec de l'aluminium. Chaque implantation a été suivie d'un recuit d'activation à 1000°C .

Ils ont utilisé la ségrégation des dopants par siliciuration pour accumuler les dopants en direction de la jonction tunnel pour la rendre plus abrupte. Ils ont obtenu des niveaux de courant de $1,2\mu\text{A}/\mu\text{m}$ à $V_{DS} = -1\text{V}$ et un record de l'inverse de pente sous le seuil sur nanofil de silicium de 30mV/dec sur deux décades environ. Leur étude met en avant le fait que l'inverse de la pente sous le seuil est une fonction du diamètre du nanofil, alors que la constante diélectrique de l'oxyde de grille améliorerait uniquement le niveau de courant du TFET.

Pour conclure sur l'état de l'art des Tunnel FET, nous avons voulu montrer qu'il y a eu beaucoup de dispositifs réalisés, parmi lesquels nous avons choisi de présenter les meilleurs résultats en fonction de la géométrie visée. Les deux dernières études présentées dans cette section avaient pour objectif d'améliorer les performances des Tunnel FET en vue d'une intégration dans le front-end. Nous pouvons voir que de très bonnes performances sont atteintes par les dispositifs composés d'alliage SiGe. De plus, l'intégration avec une grille totalement enrobante a montré sa capacité à améliorer la valeur de la pente sous le seuil

du dispositif.

1.4 Conclusion du chapitre d'introduction

Dans ce chapitre, nous avons présenté les problèmes de consommation et d'effets parasites associés aux transistors actuels. Pour répondre à cette problématique, des dispositifs ayant d'autres mécanismes d'injection des porteurs que l'effet thermoïonique ont été proposés par la communauté scientifique. Parmi eux, nous avons choisi d'étudier les propriétés des transistors à effet tunnel. Ainsi nous avons présenté en détails les différents modèles de calcul du courant tunnel par l'approximation WKB. Puis les paramètres d'optimisation spécifiques aux transistors tunnel ont été abordés, tels que l'optimisation du matériau source et la géométrie du dispositif. Ensuite, nous avons détaillé l'expression de l'inverse de la pente sous le seuil et montré l'influence du matériaux source sur celui-ci. Enfin les comportements atypiques des tunnel FET ont été présentés par la faible dépendance en température de leur courant Ion et la mise en évidence du mécanisme d'effet tunnel assisté par les pièges, ainsi que leur dépendance en tension de drain. Et pour finir, un état de l'art résumant les meilleurs résultats obtenus par la communauté scientifique, en fonction de la méthode de synthèse, du matériau et de la géométrie du TFET a été présenté.

CHAPITRE 2

Élaboration des transistors à nanofils Si et Si/SiGe et méthode d'extraction des paramètres électriques

Dans ce second chapitre, nous aborderons les techniques d'obtention de nanofils par une approche bottom-up, puis en particulier celle utilisée durant la thèse. Nous détaillerons les conditions de croissance nous ayant permis d'obtenir des hétérojonction p-i-n en homostructure silicium et $\text{Si}_{1-x}\text{Ge}_x$ ainsi que des hétérostructures p-Si/i-Si/n- $\text{Si}_{1-x}\text{Ge}_x$. La croissance de ces nanofils s'inscrit dans la continuité d'anciens travaux de thèses au sein du LTM, dont nous citerons l'implication dans notre travail. Ensuite nous présenterons les étapes de fabrication des transistors tunnel FETs dans les deux architectures choisies : horizontale et verticale. Parmi celles-ci, nous détaillerons les mécanismes de formation des phases de siliciure de nickel. Enfin, nous aborderons la méthode d'extraction des paramètres électriques des dispositifs réalisés, par le traitement de données et la simulation des caractéristiques électriques.

2.1 La croissance des nanofils semi-conducteurs IV-IV

2.1.1 Les différentes méthodes d'élaboration des nanofils

Il y a deux approches pour l'élaboration des nanofils, l'approche descendante et ascendante, parmi lesquelles il existe de nombreuses méthodes d'élaboration. Nous ne les détaillerons pas ici mais nous ferons une description de la classification en deux approches.

2.1.1.1 Approche descendante

L'approche descendante ou dite « top-down » en Anglais est traditionnellement utilisée en microélectronique pour la réalisation de structures pour les dispositifs. Elle regroupe les étapes de dépôt de film mince, de lithographie et de gravure qui permettent de définir la composition et la géométrie du futur composant. Tout d'abord, le ou les matériaux composants les nanostructures sont épitaxiés sur un substrat. Puis grâce aux techniques de lithographie (optique ou électronique), un masque de gravure en résine est défini sur celui-ci, suivi de la gravure elle-même (généralement par voie sèche) pour la réalisation des

nanofils. Ceux-ci peuvent être horizontaux ou verticaux, selon le masque défini en résine et la gravure utilisée. Cette approche a été utilisée dans les travaux des équipes de M. Vinet et R. Gandhi présentés dans le paragraphe 1.3.2 du chapitre 1.

Les avantages de cette technique sont :

- le très bon contrôle du/des matériaux constitutants, et de la direction cristallographique des nanofils
- une forte reproductibilité
- une excellente localisation des nanofils
- un niveau de dopage bien contrôlé pendant la croissance ou par implantation ionique

Les désavantages de cette technique pour notre application sont :

- Les recuits d'activation des dopants à haute température
- La nécessité d'avoir un substrat cristallin dans les étapes d'interconnexions.
- La rugosité de surface des nanofils induite par les gravures et le dopage par implantation.

Il nous faut donc une autre méthode pour obtenir des nanofils cristallins à basse température, tel que le permet l'approche ascendante.

2.1.1.2 Approche ascendante

L'approche ascendante (ou « bottom-up ») est une toute autre vision de la réalisation des objets de taille nanométrique. En effet, à la place d'un dépôt pleine plaque de matériau qui sera ensuite gravé, implanté, passivé, etc, pour définir le composant, cette approche permet de faire croître le matériau ayant les caractéristiques nécessaires au composant final. La croissance est l'étape clé de cette approche, car elle permet de définir le ou les matériaux [56, 57, 58, 59], leurs directions cristallographiques [60], leurs géométries (nano-rubans, nanofils horizontaux ou verticaux) [61, 62] et le niveau de dopage du dispositif [63, 64, 65], tout ceci en une seule étape. Pour synthétiser des nanofils, il existe différentes techniques de croissance dont les principales sont l'épitaxie par jet moléculaire ("Molecular Beam Epitaxy", MBE) et le dépôt chimique en phase vapeur ("Chemical vapour deposition", CVD). Un schéma de ces deux méthodes de dépôt est montré en figure 2.1 pour la croissance de nanofils de silicium par le mécanisme vapeur-liquide-solide (VLS). Nous présenterons en détails le mécanisme VLS dans le paragraphe 2.1.2.1, mais tout d'abord, nous allons nous intéresser aux différences entre les deux techniques de croissance, MBE et CVD.

L'épitaxie par jet moléculaire, comme présenté sur la figure 2.1, a un apport de matière directionnel, car elle utilise l'évaporation de source de matériau pure sous ultra-vide comme apport de matériau. Ces atomes ou molécules sont ensuite adsorbés sur le substrat d'où ils diffusent pour s'agglomérer afin de réaliser la structure souhaitée. Cette technique a des vitesses de croissance relativement lentes, c'est-à-dire de l'ordre de 1 µm/h, due à son environnement sous ultra-vide et donc aux faibles pressions partielles, 10^{-8} à 10^{-9} Torr, utilisées durant les dépôts. À cause des conditions d'ultra-vide, des procédés de microélectronique à grande échelle sont difficilement réalisables en MBE. C'est pourquoi

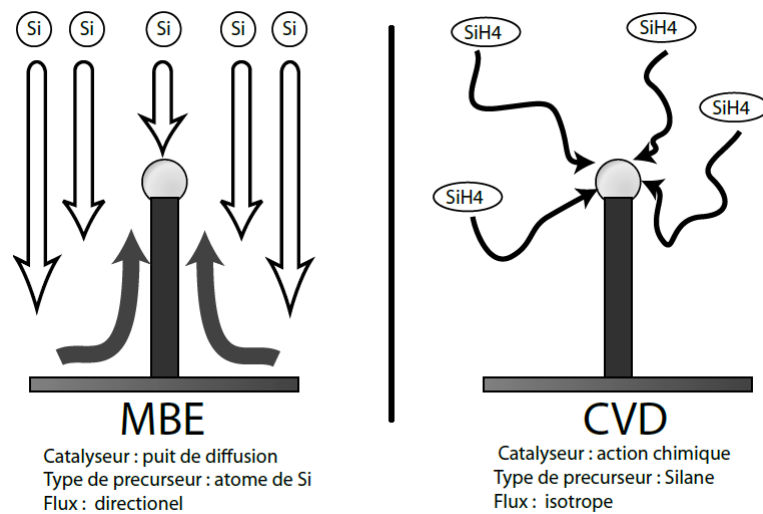


Figure 2.1: Différences entre la croissance de nanofils par épitaxie par jet moléculaire (MBE) et par dépôt chimique en phase gazeuse (CVD). [66]

cette technique de croissance est inadaptée à l'application visée ici, d'où notre étude sur des nanofils crus par CVD.

Le dépôt chimique en phase vapeur est une technique largement utilisée dans l'industrie de la micro-électronique et en recherche. Le terme "phase vapeur" vient du fait que les matériaux sont acheminés sous forme de gaz appelés gaz précurseurs. Cette amenée de précurseur est supposée isotrope contrairement à la MBE, comme représentée sur la figure 2.1. Ces gaz sont le silane (SiH_4) et le germane (GeH_4) pour le silicium et le germanium respectivement. La décomposition de ces gaz précurseurs à la surface du substrat est généralement thermiquement activée. Le lieu de la décomposition des précurseurs dans un bâti CVD est sélectionné par la chimie de surface. Dans le cas d'une croissance catalysée de type VLS, le catalyseur fixe le périmètre du nanofil. Une fois le gaz précurseur décomposé, le matériau souhaité est incorporé dans le catalyseur et les déchets produits par la réaction chimique sont sous forme gazeuse. La croissance est réalisée à basse pression, dans notre étude elle sera de 3 ou 4,5 Torr. Les vitesses de croissance sont de l'ordre de 100 nm/min à 1 $\mu\text{m}/\text{min}$. La croissance CVD est une approche intéressante pour réaliser des dépôts sur des substrats de grande dimension, dans des temps courts de croissance, et cela avec une grande sélectivité du dépôt grâce à la chimie de surface.

2.1.2 Présentation de la technique de croissance par CVD-VLS

Dans ce paragraphe, nous allons détailler le mécanisme de croissance VLS, le réacteur CVD et la préparation des substrats avec les catalyseurs.

2.1.2.1 La croissance par le mécanisme VLS

Le nom du mécanisme VLS reprend les trois états physiques du matériau pendant le processus de dépôt. De nombreuses études théoriques ont été menées sur la modélisation de ce mécanisme de croissance [67, 68, 69, 70, 71, 72]. On peut schématiser le mécanisme VLS par la figure 2.2(a) où chaque étape est décomposée dans le cas d'une croissance CVD, mais de manière générale il se résume par les trois phases suivantes :

1. Le matériau est acheminé jusqu'au catalyseur métallique sous forme gazeuse (étape 1, figure 2.2(a)).
2. le précurseur est alors adsorbé à la surface du catalyseur liquide (étape 2.i), puis il se décompose (étape 2.ii) et le silicium s'incorpore et diffuse dans la goutte (étape 3), celle-ci étant à une température au dessus de l'eutectique de l'alliage ainsi formé. La composition de cet alliage peut-être représentée par son diagramme de phase, comme sur la figure 2.2 b) pour l'exemple du silicium catalysé par l'or.
3. Lorsque la concentration en matériau à déposer a atteint un niveau de saturation dans la goutte, celui-ci se cristallise à l'interface entre le liquide et le substrat (étape 4).

La précipitation peut se produire théoriquement n'importe où dans le liquide. Mais il est plus favorable énergétiquement pour le système, que le matériau précipite vers la phase solide existante plutôt que de créer une nouvelle interface liquide-solide. L'interface entre le catalyseur et le substrat est donc le site préférentiel de la précipitation. Par conséquent sa taille et sa forme déterminent celles du volume de matériau précipité. C'est pourquoi la mise en forme du catalyseur en goutte de taille nanométrique est très importante pour l'obtention des fils de cette dimension. Nous verrons la préparation du catalyseur sur le substrat dans le paragraphe 2.1.2.2.

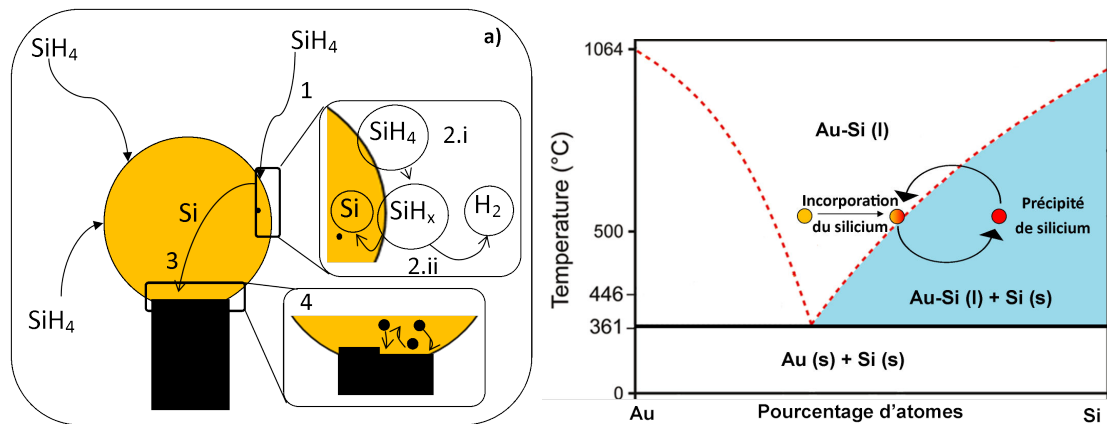


Figure 2.2: a) Représentation schématique du processus de croissance d'un nanofil de silicium par VLS-CVD.[66] b) Diagramme de phase du système binaire Au-Si [73].

Dans le cas de la croissance par CVD-VLS, le catalyseur est principalement un catalyseur chimique, car il accélère la décomposition du précurseur à l'interface vapeur-liquide, rendant ainsi plus probable la décomposition des précurseurs sur le catalyseur que sur le substrat. Cependant, des mécanismes de croissance parasites (diffusion, décomposition non-catalysée)

peuvent se produire et recouvrir d'un dépôt 2D les flancs du nanofils et le substrat, comme présenté sur la figure 2.3. Ce dépôt est particulièrement problématique lorsque l'on réalise le dopage in-situ des nanofils, une coquille de dopage est alors présente sur des parties intrinsèques, comme cela est expliqué dans l'étude de Amit et al. [64]. Dans le cas des croissances de diode p-i-n, cette coquille peut court-circuiter les jonctions et induire une caractéristique électrique non plus de diode mais de fil uniformément dopé d'un seul type de dopant. Les paramètres de croissance de nanofil de silicium et SiGe ont été optimisées lors des précédents travaux de thèse pour limiter ce dépôt, grâce à la diminution de la température de croissance et à l'incorporation du HCl. Les nanofils seront donc exempts du dépôt 2D pour les faibles ratios de dopage et concentration de germanium. Nous verrons dans la suite que hors de ces conditions, un dépôt 2D sera présent le long des nanofils et que les conditions de croissance seront ré-évaluées pour limiter le dépôt non-catalysé.

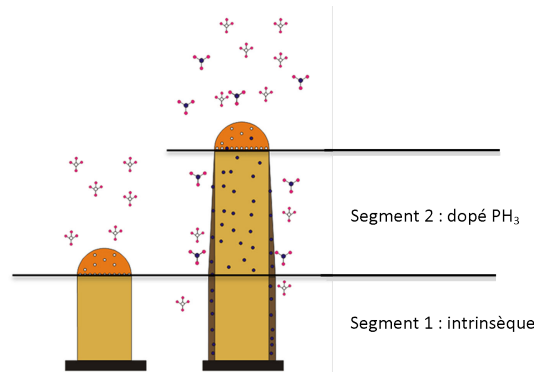


Figure 2.3: Représentation schématique du processus de croissance 2D sur les flancs d'un nanofil de silicium par VLS-CVD [64].

2.1.2.2 Les outils de la croissance CVD-VLS

Le réacteur

La croissance CVD est réalisée dans un réacteur RPCVD (Reduced Pressure Chemical Vapour Deposition) de marque EasyTubeTM3000 commercialisée par FirstNano. Le schéma simplifié du réacteur et des lignes de gaz est représenté sur la figure 2.4.

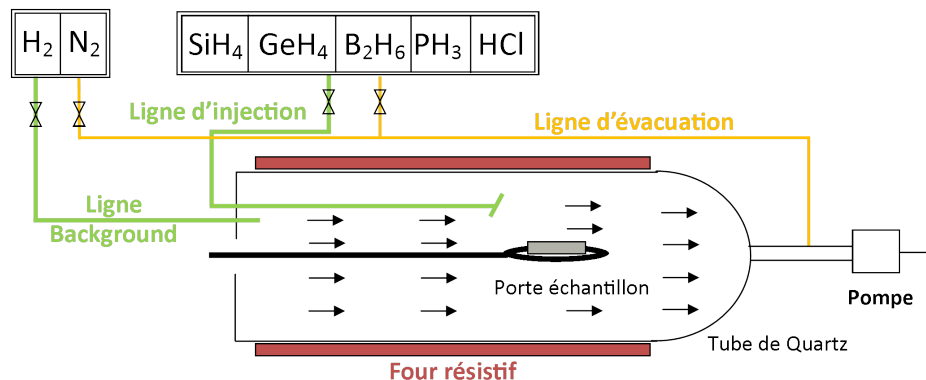


Figure 2.4: Représentation schématique du bâti de croissance et des lignes de gaz.

La taille maximale des substrats acceptés est de 100 nm. Sur ce bâti, il y a 8 lignes de gaz indépendantes ainsi qu'une ligne d'azote. Comme présenté sur la figure 2.4, un flux de dihydrogène (H_2) et de diazote (N_2) est maintenu constant durant la croissance. Ils sont acheminés par la ligne "background" au début de la chambre de façon à instaurer un flux de gaz porteur continu et laminaire. Les gaz précurseurs accessibles sont le silane (SiH_4) et le germane (GeH_4), ce dernier étant dilué à hauteur de 10% dans le dihydrogène (H_2). Les gaz dopants sont le diborane (B_2H_6) pour le dopage de type p et la phosphine (PH_3) pour le dopage de type n. Les lignes d'acheminement des gaz dopants sont équipées d'un système de dilution par H_2 avant d'entrer dans la chambre. Ainsi le ratio de dopants insérés dans la chambre doit être calculé de la manière suivante :

$$R_{B/P} = \frac{p_{dopant}}{p_{précurseur}} = \frac{0,2}{100} \frac{p_{entrée}}{p_{injectée} + p_{diluée}} \times \frac{p_{injectée}}{p_{précurseur}} \quad (2.1)$$

Où $p_{entrée}$ est le flux de dopants avant la dilution au H_2 , $p_{injectée}$ est le flux de dopant inséré dans la chambre après dilution, $p_{diluée}$ est la quantité de flux de gaz dopants à diluer. Et $p_{précurseur}$ est le flux de silane ou bien de germane (dilué à hauteur de 10%) ou encore l'addition des deux dans le cas d'un nanofil $Si_{1-x}Ge_x$.

De plus, pour améliorer la morphologie des nanofils et éviter la diffusion de l'or le long de ceux-ci [68], nous utilisons le gaz HCl pour passiver la surface des nanofils par chlorination durant la croissance [74]. Ces gaz sont acheminés par la ligne d'injection qui débouche juste avant le porte échantillon dans le sens du flux. Les purges de lignes et la préparation des flux avant injection dans le bâti sont réalisées grâce à la ligne d'évacuation qui ne passe pas par la chambre de dépôt et débouche au niveau de la pompe primaire.

Toutes les lignes d'amenée des gaz sont équipées de débitmètre de masse pour contrôler précisément les quantités et ratios de gaz en temps réel. Ainsi nous pouvons moduler la composition des nanofils, le type de dopage et son niveau en jouant sur le ratio de dopant (2.1) durant la croissance. Ce réacteur est dit à parois chaudes car le système résistif englobe le tube de quartz dans lequel est réalisé le dépôt. De cette façon, le porte-échantillon et les parois peuvent-être chauffés dans la gamme de 100 à 1000 °C. La température de croissance est contrôlée par trois thermocouples placés le long du bras soutenant le porte-échantillon et est asservie sur le thermocouple se trouvant à la perpendiculaire de l'échantillon. Ce type de réacteur est à opposer aux réacteurs à murs froids où seul le porte échantillon est chauffé ce qui évite l'effet mémoire des parois du bâti comme nous le verrons dans la suite.

La préparation des substrats pour la croissance

La bonne morphologie et l'environnement du catalyseur sont des points essentiels pour obtenir une bonne croissance, comme nous le verrons en détails dans la suite. Ainsi tout commence avec le dépôt d'or sur les substrats, comme futur catalyseur. Durant la thèse, nous avons utilisé des substrats de silicium dont l'orientation cristallographique est [111] pour favoriser la croissance verticale des nanofils.

Pour réaliser des transistors à nanofils horizontaux, ces substrats étaient non dopés et découpés en morceaux de 1 cm². Nous avons retiré l'oxyde natif du silicium grâce à un

nettoyage standard à partir d'une solution appelée BOE (« Buffered Oxide Etchant », qui est un mélange de HF 49% et de NH_4F 40%, voir annexe ??) pour permettre la relation d'épitaxie entre le substrat et le dépôt catalysé souhaité. Nous avons ensuite placé comme catalyseur soit une couche uniforme d'or de 2 nm d'épaisseur, soit des colloïdes d'or commerciaux ayant un diamètre de 50 à 100 nm. La première solution fournit des nano-gouttelettes après un recuit dans la chambre de croissance. La formation de ces gouttelettes est complexe car dépendante de nombreux paramètres, leur distribution en taille est relativement large. Mais elle peut être relativement contrôlée par l'épaisseur de la couche d'or déposée, la température et la durée du recuit. Les colloïdes d'or quant à eux, permettent d'avoir une distribution en taille réduite des nano-gouttelettes après recuit et ils sont assez simple d'utilisation. En effet, la dispersion des colloïdes sur le substrat est représentée sur la figure 2.5.

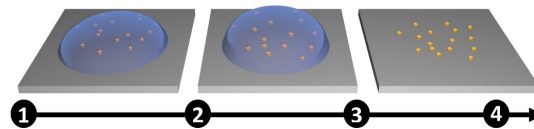


Figure 2.5: Les différentes étapes du dépôt de colloïdes : 1) Dépôt d'une goutte de solution colloïdale, 2) Ajout du HF dans la goutte (pour que les colloïdes adhèrent au substrat), 3) attendre 60s 4) nettoyage du substrat à l'eau dé-ionisée.

On dépose une goutte de solution de colloïdes décorés d'ions citrates sur le substrat. Les ions citrates permettent que la surface des nanoparticules d'or soit chargée négativement ce qui empêche leur agglomération. On introduit une dose de HF dans la goutte pour diminuer le pH de la solution en dessous de 3,1, permettant ainsi de convertir les ions citrates en acide citrique. Les nanoparticules d'or ont alors une surface neutre ce qui leur permet d'adhérer au substrat de silicium. Il faut ensuite retirer la goutte du substrat dans les 60s après insertion du HF, pour éviter que les colloïdes ne s'agglomèrent, O'Reilly et al [75].

Pour la réalisation des transistors verticaux, nous avons utilisé des substrats 2 pouces dopés à $2 \cdot 10^{19} \text{cm}^{-3}$ de type p. Ce niveau de dopage a fait l'objet d'un compromis, car nous souhaitons nous servir du substrat comme contact face arrière (contact drain). Mais nous ne voulions pas un dopage trop important, car alors la partie source aurait été moins dopée que la partie drain. En effet, dans une structure p-i-n obtenue par dopage in situ, comme nous l'avons dit précédemment, nous devons limiter le dopage pour éviter la croissance d'une coquille 2D le long du nanofil. Nous avons essayé différents niveaux de dopage et nous avons trouvé que pour un niveau de dopage supérieur à $5 \cdot 10^{19} \text{cm}^{-3}$ la coquille 2D était présente et court-circuitait les jonctions de la diode p-i-n. Ce niveau de dopage est donc la limite haute pour toutes les croissances de diodes p-i-n, afin de ne pas recouvrir les flancs du nanofil par un dépôt 2D. Une fois nos substrats choisis, nous avons localisé des nanoparticules d'or sur le substrat. Pour ce faire, nous avons étalé successivement deux couches de résines électroniques (PMMA/MMA tous les détails sont dans l'annexe B.1). Après la lithographie électronique et le développement des résines, nous avons retiré l'oxyde natif des surfaces ainsi ouvertes par un nettoyage BOE standard (annexe ??). Puis nous avons déposé une couche d'or de 20 nm par évaporation. Après le lift-off et les nettoyages,

nous obtenons des disques d'or de 120 nm de diamètre afin de réaliser une croissance de nanofils verticaux localisés, comme nous le verrons dans la suite de ce chapitre. On peut voir sur les figures 2.6 a), b) et c) que très peu d'or est déposé entre les catalyseurs, ce qui permet de conserver un espacement de 1 μm entre chaque catalyseur.

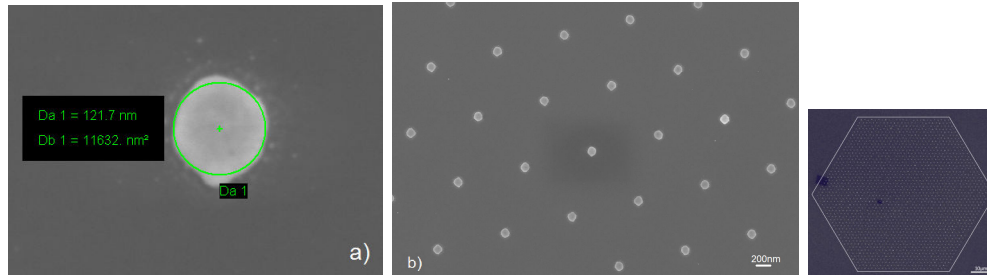


Figure 2.6: Images MEB d'un substrat typique avec les catalyseurs d'or localisés déposés pour la croissance verticale localisée des nanofils : a) Zoom sur un catalyseur de 121 nm de diamètre et l'on peut constater qu'il n'y a que de très fines traces laissées autour du catalyseur par la technique de dépôt d'or; b) Vue d'ensemble de plusieurs catalyseurs localisés montrant la bonne reproductibilité du motif; c) Zone de localisation des catalyseurs permettant une intégration verticale de nombreux nanofils.

Avant d'introduire les substrats dans le réacteur CVD, ceux-ci sont désoxydés par un traitement HF vapeur/liquide (49%/10%). Immédiatement après, les substrats sont introduits dans le sas de la chambre où l'atmosphère est purgée puis placée sous azote. Enfin ils sont introduits dans la chambre où ils sont recuits sous un mélange N_2/H_2 pendant 25 min entre 600 °C et 650 °C pour former un catalyseur liquide composé d'or et de silicium, puis on introduit les gaz précurseurs et les processus de croissance expliqués dans la section 2.1.2.1 commencent.

2.1.3 Les nanofils de silicium, l'alliage $\text{Si}_{1-x}\text{Ge}_x$ et leurs hétérostructures

Depuis 2006, notre équipe travaille sur l'étude de la croissance des nanofils. Grâce aux thèses de Fabrice Oehler [66] et Florian Dhalluin [76], les conditions optimales de croissance de nanofils de silicium ont été sondées. L'impact de la température et pression de la chambre, ainsi que celui du diamètre et du métal utilisé comme catalyseur a été montré sur la croissance des nanofils silicium. Le rôle crucial de la température et de l'insertion du HCl a été mis en évidence pour minimiser la migration de l'or et le dépôt non-catalysé le long des nanofils. Puis notre équipe a étudié les conditions de croissance de nanofils dans un alliage très prometteur, le $\text{Si}_{1-x}\text{Ge}_x$. Ainsi le travail de thèse d'Alexis Potié [77] a montré l'importance du HCl sur l'insertion du germanium dans les nanofils [78], grâce à quoi, la gamme de concentration du germanium inséré dans $\text{Si}_{1-x}\text{Ge}_x$ est très large. Et la thèse de Priyanka Periwal [79] a permis la croissance optimisée d'hétérostructures Si/ $\text{Si}_{1-x}\text{Ge}_x$. Une grande partie des nanofils utilisés pour les TFET horizontaux ont été réalisés par P. Periwal. Elle a étudié en détails l'effet réservoir dû au catalyseur d'or qui dégradait l'interface entre les jonctions [57], ainsi que le dopage des nanofils Si/ $\text{Si}_{1-x}\text{Ge}_x$ par le bore pour le type p et le phosphore pour le type n. Riche de ces études, nous avons repris les conditions de croissance présentées dans ces thèses pour les adapter à la croissance

de nanofils courts (d'une longueur d'environ $1\ \mu\text{m}$) à partir de catalyseurs localisés pour réaliser des transistors verticaux.

Avant de décrire les étapes de croissance, il nous faut rappeler que les nanofils sont crus dans l'optique d'être des briques élémentaires de dispositifs électroniques. De ce fait, ils doivent répondre à certains critères afin d'assurer le bon fonctionnement électrique du dispositif, tels que : être monocristallin et avoir peu de défauts ainsi qu'une faible rugosité de surface, un niveau de dopage élevé avec un profil de dopage le plus abrupte possible entre la source et le canal. Ces critères ont été éprouvés sur substrats recouverts de colloïdes et de film d'or, lors des différentes thèses présentées précédemment.

Ainsi durant les trois ans de thèse, nous avons synthétisé différents nanofils avec des dopages variés. Nous pouvons regrouper ces croissances en deux catégories : les homo-structures Si ou $\text{Si}_{0,7}\text{Ge}_{0,3}$ et les hétéro-structures $\text{Si}/\text{Si}_{1-x}\text{Ge}_x$. Nous allons décrire dans la suite, les grandes lignes de la croissance de ces nanofils. Nous donnerons les données exactes de chaque croissance avec les caractéristiques électriques associées aux dispositifs dans les chapitres suivants. Mais avant de détailler la méthodologie de croissance, il est important de spécifier la différence entre un nanofil cru pour une intégration horizontale et en vue d'une intégration verticale.

Pour l'intégration horizontale des nanofils, nous avons réalisé des fils relativement longs entre 7 et $10\ \mu\text{m}$ de long. Comme présenté précédemment, nous avons optimisé les conditions de croissance pour limiter le dépôt 2D non catalysé sur le substrat et le long des fils, même sur des temps de croissance longs (entre $30\ \text{min}$ et $2\ \text{h}$).

Pour l'intégration verticale des nanofils, nous avons besoin qu'ils aient une longueur comprise entre $1\ \mu\text{m}$ et $1,5\ \mu\text{m}$. Pour des nanofils plus courts, il est difficile de venir prendre deux contacts le long des fils (contact de grille et de drain) sans risquer de court-circuiter le dispositif avec notre procédé de fabrication. De plus, réaliser des fils de cette longueur nécessite une très bonne maîtrise de la croissance des nanofils et des contaminations du bâti.

2.1.3.1 Les homo-structures

La croissance CVD est composée de trois étapes principales : la montée en température du bâti et de l'échantillon, l'incubation de la croissance et le dépôt lui-même. Ces trois étapes seront le sujet des prochains paragraphes, détaillés selon nos conditions de croissance. Les croissances des homostructures se déroulent sans arrêt des gaz précurseurs de silane et/ou de germane ainsi que du HCl. Les flux de dopants sont quant-eux stoppés durant la croissance pour obtenir la partie intrinsèque du fil.

Les diodes p-i-n en silicium ont été obtenues à $600\ ^\circ\text{C}$ avec un débit de silane entre 20 et $40\ \text{sccm}$, avec $100\ \text{sccm}$ de HCl à une pression dans la chambre de croissance de $3\ \text{Torr}$. Les rapports de flux de dopants sur flux de silane utilisés (d'après l'équation 2.1) sont compris entre $7 \cdot 10^{-4}$ et 10^{-3} . Pour un ratio de $1 \cdot 10^{-3}$, les mesures de résistivité quatre pointes donnent une densité d'atomes de $5 \cdot 10^{18}\text{cm}^{-3}$ pour B_2H_6 et de $2 \cdot 10^{19}\text{cm}^{-3}$ pour PH_3 [74], ces valeurs sont estimées à partir de la résistivité du silicium massif.

Les diodes p-i-n en $\text{Si}_{0,7}\text{Ge}_{0,3}$ ont été obtenues à 450°C avec un débit de silane de 90 sccm et de germane de 45 sccm, avec 45 sccm de HCl pour une pression de 4,5 Torr dans la chambre. Les rapports de flux de dopants sont compris entre $5,3 \cdot 10^{-4}$ et 10^{-3} pour le $\text{Si}_{0,7}\text{Ge}_{0,3}$ ce qui est équivalent d'après les mesures ToF-SIMS pour les plus forts ratio de dopant à une densité d'atomes de $1 \cdot 10^{19}\text{cm}^{-3}$ pour B_2H_6 et de $1 \cdot 10^{20}\text{cm}^{-3}$ pour PH_3 . Cependant, les mesures ToF-SIMS ne révèlent pas le niveau de dopage électriquement actif.

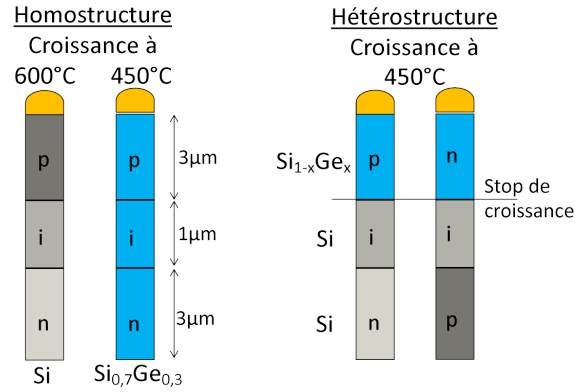


Figure 2.7: Schématisation des structures des nanofils pour l'intégration horizontale.

2.1.3.2 Les hétéro-structures

Pour obtenir les meilleures hétéro-structures pour les Tunnel FETs, nous avons besoin d'une jonction abrupte entre le canal et la source du transistor. Or il y a un important effet réservoir du germanium par le catalyseur. En effet, le $\text{Si}_{1-x}\text{Ge}_x$ s'incorpore plus lentement au nanofil que le Si pour la même température de croissance (vitesse de croissance du $\text{Si}_{0,7}\text{Ge}_{0,3}$ = 100 nm/min et celle du Si = 175 nm/min pour une température de 450°C). Pour contrer cela, Priyanka Periwal a étudié l'impact des arrêts de croissance pour diminuer cet effet réservoir. Elle a montré qu'un arrêt de 2 min de croissance, sous flux continu de HCl, permettait de mieux gérer les changements de composition par le catalyseur. Ainsi la nouvelle composition d'équilibre est atteinte plus rapidement, ce qui diminue la largeur de la jonction. De plus ce temps d'arrêt perturbe peu l'équilibre du catalyseur, car 70% des nanofils crus avec le stop de croissance sont droits. Cependant, même avec les arrêts de croissances, les jonctions $\text{Si}/\text{Si}_{0,7}\text{Ge}_{0,3}$ et $\text{Si}_{0,7}\text{Ge}_{0,3}/\text{Si}$ ne sont pas identiques. Car pour l'interface $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$, la concentration de Ge dans le catalyseur est déjà à l'état de saturation. Quand on arrête l'arrivée de germanium, celui-ci va s'insérer lentement dans le nanofil. En revanche pour la jonction inverse, $\text{Si}/\text{Si}_{0,7}\text{Ge}_{0,3}$, le silicium présent dans le catalyseur s'insère dans le nanofil pratiquement deux fois plus vite que le $\text{Si}_{0,7}\text{Ge}_{0,3}$. Donc la concentration en silicium dans le catalyseur diminue rapidement. Ainsi lorsque l'on incorpore le SiH_4 et le GeH_4 , le catalyseur atteint rapidement la concentration de saturation du liquide Au-Si-Ge, en silicium et germanium au vu des flux de précurseurs. Par conséquent le profil de concentration en germanium de l'interface $\text{Si}/\text{Si}_{0,7}\text{Ge}_{0,3}$ est moins étalée que pour la première [57].

De ce fait, les croissances des diodes à hétérostructures seront réalisées dans le sens Si/Si/SiGe pour minimiser la largeur de l'interface. Pour cela, la croissance doit donc commencer par une partie silicium. Or à 450 °C, Periwal P. a observé que les fils de Si ne croissaient pas verticalement au substrat, alors que les fils $\text{Si}_{1-x}\text{Ge}_x$ étaient davantage verticaux. Par conséquent, nous initions la croissance par une incubation et un début de croissance de $\text{Si}_{0,7}\text{Ge}_{0,3}$ ($\text{SiH}_4 = 90\text{sccm}$, $\text{GeH}_4 = 45\text{sccm}$ et $\text{HCl} = 45\text{sccm}$). Ensuite nous stoppons le flux de germane, pour commencer à faire croître la partie de silicium dopé du nanofil. Cette amorce de croissance permet d'obtenir des nanofils Si/Si/Si $_{1-x}\text{Ge}_x$ verticaux. Pour l'intégration horizontale, les nanofils sont dispersés dans une solution, donc la partie $\text{Si}_{0,7}\text{Ge}_{0,3}$ intrinsèque ne pose pas de problème. Car le fil peut se détacher du substrat après cette partie, ou bien elle peut-être au bord du fil, mais il est peut probable que nous arrivions à placer le contact métallique sur cette petite partie. En revanche pour l'intégration verticale des nanofils, cette partie intrinsèque peut rajouter une résistance électrique (barrière de potentiel) entre la partie drain dopée du nanofil et le substrat dopé. C'est pourquoi, nous avons minimisé au maximum cette partie intrinsèque en espérant qu'elle soit suffisamment petite pour être recouverte par un film de silicium dopé dû au dépôt qui suit, et ainsi limiter la résistance induite par sa présence.

Ensuite nous stoppons le flux de dopants pour continuer sur la partie silicium intrinsèque, comme pour les homostructures. À la fin de la partie Si intrinsèque, nous arrêtons la croissance pendant 2 min, comme présenté précédemment, pour obtenir une jonction Si/Si $_{1-x}\text{Ge}_x$ la plus abrupte possible. Puis nous insérons alors le silane, le germane et le flux de dopant adéquat pour créer la partie source Si $_{1-x}\text{Ge}_x$ souhaitée.

2.1.3.3 Variabilités des propriétés des nanofils

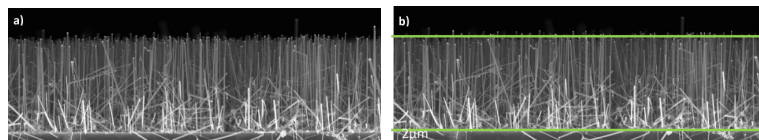


Figure 2.8: a) et b) Images MEB d'un substrat incliné à 90° après la croissance assistée par des colloïdes de 100 nm de diamètre, la longueur moyenne des nanofils est estimée à 4 μm grâce aux barres vertes représentées sur le figure b).

Comme décrit précédemment, la croissance suit les lois de la thermodynamique et la théorie des changements de phase. Les personnes travaillant sur la croissance des nanofils ont l'habitude de qualifier les nanofils par des valeurs moyennes obtenues sur un ensemble de nanofils. Par exemple, la longueur moyenne des nanofils est estimée par la méthode présentée en figure 2.8. Le substrat de croissance est observé selon un angle de 90° et on estime que la hauteur moyenne des fils est l'espace entre le substrat et le haut des fils, représenté par les deux traits verts de la figure 2.8 b). Les autres valeurs moyennes des paramètres des nanofils sont déduites des conditions de croissance et des mesures réalisées sur d'importants échantillonnages par les personnes travaillant sur le bâti de croissance. Les valeurs moyennes se sont révélées relativement correctes lors de l'intégration de nanofil unique dans les dispositifs horizontaux. Mais il est important de noter que, lorsque nous

faisons cette intégration, nous pouvons choisir le nanofil et en l'occurrence ne sélectionner que ceux qui apparaissent entrer dans les valeurs moyennes ainsi extraites.

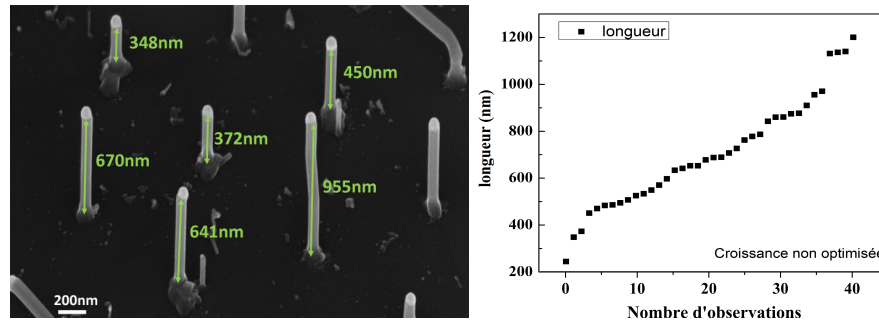


Figure 2.9: a) Image MEB substrat incliné à 45° d'une croissance localisée de nanofils p-i-n en silicium, longueur estimée par les temps de croissance de 4,5 µm, b) Valeurs mesurées des longueurs de 39 nanofils de ce substrat.

Cependant, lors d'une croissance, il y a toujours quelques nanofils ayant une morphologie ou des propriétés électriques différentes des propriétés moyennes de l'ensemble. Nous appelons ces écarts aux valeurs moyennes des variabilités dues à la croissance. Mais si la croissance n'est pas optimisée, et surtout pour les croissances localisées, nous avons des difficultés à extraire des valeurs moyennes, comme présenté sur l'exemple de la figure 2.9 où des fils localisés très proches ont des longueurs différentes. Cet exemple est une représentation extrême de perte de contrôle de la croissance, car nous avons mesuré la longueur de 39 nanofils pris en différents endroits du substrat et lorsque nous plaçons les longueurs des fils mesurés sur le graphique 2.9, nous obtenons une dispersion linéaire des valeurs de 244 nm à 1,2 µm. Donc nous avons, dans cette croissance, l'incapacité d'extraire des valeurs moyennes.

En règle générale, ce type de problèmes survient soit pendant la phase de recuit soit d'incubation. Comme on peut l'observer sur l'image MEB 2.9, les nanofils les plus courts sont ceux ayant une base très large. Donc pendant la phase d'incubation, il est possible que le catalyseur ne se soit pas complètement mis en forme en une seule goutte, ce qui a créé ce large dépôt de silicium. Pour éviter cela, nous avons allongé d'une minute le temps de recuit pour que le catalyseur soit bien formé lors de l'envoi des gaz précurseurs et nous avons diminué le temps d'incubation. Nous avons obtenu de meilleur résultat après ces ajustements, permettant de réaliser des croissances localisées avec des nanofils de longueur et diamètre focalisés autour des valeurs moyennes souhaitées. Cependant, nous avons toujours davantage de variabilité sur les croissances pour l'intégration verticale que pour l'intégration horizontale, car nous souhaitons des fils très courts pour celle-ci, et dans ces conditions, la croissance est très sensible aux phases de recuit et d'incubation.

Malgré cette optimisation des conditions de croissance, il est difficile de stabiliser le procédé dans un réacteur à mur chaud. En effet, pendant la croissance, les parois du réacteur sont chauffées à une température plus hautes que le substrat, donc des éléments viennent se déposer sur les murs du réacteur. Mais ceux-ci peuvent aussi sortir des parois pendant les phases de pompage et de recuit pour venir se déposer sur notre échantillon. Ces éléments

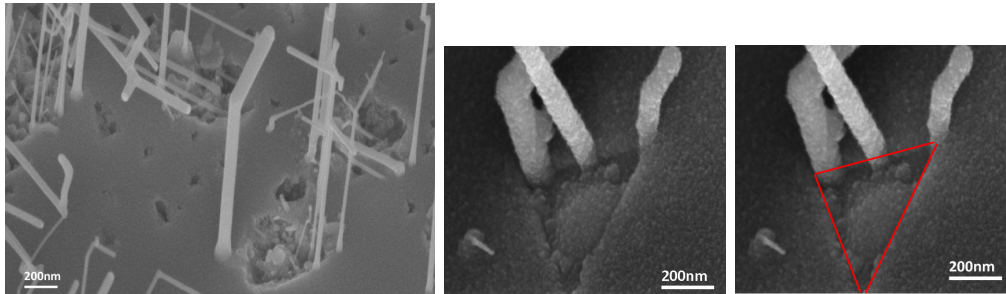


Figure 2.10: Image MEB d'une croissance de nanofils de $\text{Si}_{0.7}\text{Ge}_{0.3}$ inclinée à 45° montrant la gravure du substrat.

peuvent être des dopants, du silicium, du germanium ou encore de l'oxygène comme l'avait remarqué F.Oehler [80]. Pour limiter ce phénomène appelé effet mémoire du réacteur, nous réalisons un conditionnement des parois en les tapissant de silicium. Cependant, il s'est avéré qu'après de longues croissances répétées de nanofils de germanium dans le bâti, nous avons eu des gravures importantes du substrat, surtout pour les croissances de nanofils localisés, voir image 2.10 a). Nous avons alors augmenté les temps de mise en conditionnement du bâti, mais cela a seulement permis de réduire la profondeur de la gravure, comme on peut le voir sur la figure 2.10 b) et c). Sur ces deux images, on peut observer qu'un dépôt 2D recouvre la gravure en forme de triangle du substrat de silicium et que le catalyseur d'or est éclaté en plusieurs gouttelettes. La forme triangulaire des gravures, nommée « etch pits » en anglais, est due aux terrasses [111] du substrat de silicium. Grâce aux images 2.10 on comprend que l'attaque du silicium massif se produit principalement pendant la phase d'incubation plutôt que pendant le dépôt lui-même.

Nous avons donc deux problèmes : la diffusion de l'or en surface qui réduit la taille des catalyseurs que nous souhaitons fixe, et la gravure du substrat aux endroits où l'or a diffusé qui semble être favorisée par un environnement composé de germanium. Bien que ce phénomène existe aussi pour les croissances de silicium seul, mais il est bien moins important. Or on rappelle que pour les alliages, le recuit du substrat est à 650°C et que la phase d'incubation commence une fois que la température de l'échantillon a été descendue à 450°C . Ce changement de température n'existe pas lors de la croissance des nanofils de silicium. Donc nous avons supposé que la perturbation du catalyseur et la gravure du substrat se produisait principalement pendant la phase de refroidissement de l'échantillon. Pour valider notre hypothèse, nous avons écourté la durée de la descente en température grâce à l'ouverture du système résistif de chauffage du tube, le « clamshell ». Ainsi la descente en température est de seulement 20min contre 45min auparavant et nous avons gardé des temps longs de conditionnement pour nous affranchir des croissances précédentes. Nous avons alors observé que la gravure du substrat a été stoppée dans la plupart des cas, comme présenté sur la figure 2.11. Cependant nous avons toujours une diffusion de l'or sur le substrat, ce qui diminue le diamètre des nanofils lequel devrait être d'environ 90 nm et qui est par cette méthode dispersé entre 20 nm et 65 nm.

Ainsi durant la phase de refroidissement de l'échantillon, trois mécanismes se produisent :

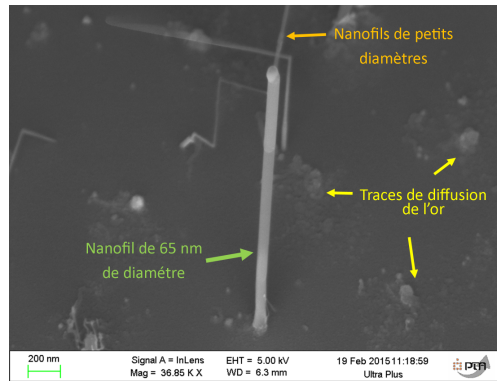


Figure 2.11: Image MEB d'une croissance de nanofils de Si/Si/Si_{0,3}Ge_{0,7} inclinée à 45° crus avec l'ouverture du clamshell et après un long conditionnement du bâti.

l'augmentation du silicium et du germanium dans la goutte, la chlorination de la surface de substrat sans particule d'or et la gravure de celui-ci par le HCl au niveau de l'or, avec la production de chlorosilane. La gravure du silicium par le HCl est ici catalysée par l'or, comme cela a déjà été rapporté dans la littérature [81], ce qui explique pourquoi cette gravure n'apparaît qu'aux endroits où l'or a diffusé. Le HCl n'attaque pas l'or car la formation du composé AuCl₃ a une énergie de formation de Gibbs positive [82], mais il réagit avec l'eutectique Au-Si. La gravure que nous observons a déjà été observée par F.Oehler [80] lors de recuit sous HCl. Au vu de la profondeur des gravures, il a alors été proposé que l'or pendant la montée en température aurait catalysé l'oxydation du substrat de silicium [83]. Ainsi ce serait l'oxyde de silicium nouvellement formé sur le substrat qui serait gravé par le HCl. Cette hypothèse suggère que de l'oxygène soit présent dans l'enceinte du bâti, bien que nous réalisons des procédures d'entrée et de sortie des échantillons spécifiques pour éviter l'insertion d'air ambiant dans la chambre. De plus ces gravures ont été observées après de long dépôt de germanium sur les parois du réacteurs, donc cet élément joue un rôle dans la gravure par le HCl. Le germanium étant connu pour sa forte réactivité avec l'oxygène, du GeO_x peut être présent dans le bâti. Or on sait que le dioxyde de germanium peut être transformé en tétrachlorure de germanium par la réaction suivante : $\text{GeO}_2 + 4\text{HCl} \rightarrow \text{GeCl}_4 + 2\text{H}_2\text{O}$ Donc la présence de germanium et de HCl peut faciliter la libération d'oxygène dans l'atmosphère du réacteur et ainsi augmenter la production d'oxyde de silicium catalysé par l'or et augmenter l'oxydation du substrat.

Par conséquent, nous avons réussi à réduire la gravure du substrat, ce qui assure une meilleure conduction électrique de nos dispositifs verticaux. Cependant, nous avons une variabilité des diamètres des nanofils verticaux ainsi obtenus qui peut compliquer l'analyse des résultats sur ces dispositifs. C'est pourquoi pour ces dispositifs, nous présenterons les résultats électriques obtenus sans les normaliser par le diamètre des nanofils.

2.1.3.4 L'intérêt du HCl

Après la révélation des problèmes de gravures par le HCl, nous pouvons nous demander si l'utilisation de ce gaz est vraiment bénéfique aux croissances. Mais comme dit brièvement

précédemment, la présence de HCl permet de limiter la diffusion de l'or sur le substrat durant la phase de croissance. Ceci est dû à une meilleure passivation de la surface de silicium par le chlore que par l'hydrogène (énergie de liaison Si-Cl $E_{\text{Si-Cl}} = 20,5\text{kJ/mol}$ et celle de Si-H $E_{\text{Si-H}} = 16,8\text{kJ/mol}$ [84]). Ainsi il accroît également la sélectivité du dépôt au niveau du catalyseur d'or en empêchant le silane de se décomposer de manière non-catalysé sur le substrat et sur les flancs du nanofil. Cette sélectivité peut-être due également à la gravure de ce dépôt 2D par le HCl, et la maîtrise de celle-ci se fait par son flux. De plus, il a été montré que l'insertion du HCl permettait de diminuer le nombre de défauts cristallins dans les nanofils, comme présenté par exemple sur la figure 2.12, car elle diminue la vitesse de croissance, le nombre de liaisons pendantes et stabilise le catalyseur [85, 69].

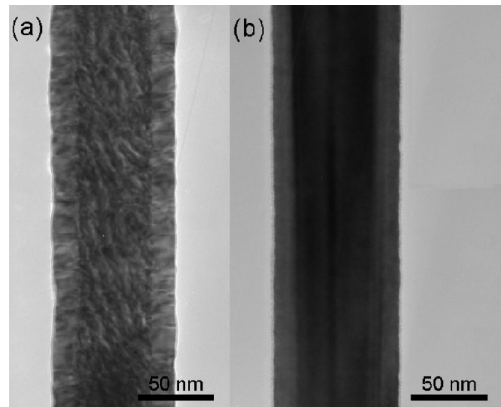


Figure 2.12: a) Image TEM d'un nanofil coeur/coquille Ge/ $\text{Si}_{0,25}\text{Ge}_{0,75}$ cru sans HCl. On voit que la coquille a des dislocations « misfit ». b) Image TEM d'un nanofil cru selon les mêmes conditions que a) mais avec l'addition de 10 sccm de flux de HCl [85].

Enfin, pour les fils de $\text{Si}_{1-x}\text{Ge}_x$, le HCl permet d'atteindre des concentrations de germanium supérieures à 70%, dans des conditions de croissance où la fraction de germanium saturerait sans l'apport de celui-ci. En effet dans le catalyseur, les sites d'adsorption du germanium favorisent la désorption des atomes de chlore par rapport aux sites d'adsorption du silicium (la désorption du Cl d'une liaison Si-Cl est à $\simeq 630^\circ\text{C}$ alors que pour une liaison Ge-Cl cela se produit à $\simeq 350^\circ\text{C}$). Les sites libres nécessaires à l'adsorption et à la décomposition des précurseurs seront donc plus nombreux pour les atomes de germanium que pour les atomes de silicium. De plus, le HCl crée préférentiellement des composés chlorés avec le silane plutôt qu'avec le germane. Les composés chlorosilanes étant moins réactifs que SiH_4 , le taux d'incorporation du silicium dans la goutte diminue, ce qui permet d'atteindre des concentrations élevées de germanium insérées dans le nanofil.

En conclusion, le HCl nous permet de prévenir plusieurs problèmes liés à l'utilisation de nanofils VLS dans des dispositifs électroniques, tels que : des défauts cristallins [85], un recouvrement le long du nanofil d'un film de silicium dopé [64], d'une faible incorporation des dopants [74] et du germanium [78].

2.2 Transistors à nanofil planaires et verticaux

Les étapes de fabrication des transistors à partir de nanofils utilisés durant ce travail, ont été développées lors de la thèse de Guillaume Rosaz [86], et nous les avons optimisées pour l'intégration de hétérojonctions et hétérostructures à base de nanofils de Si et SiGe.

2.2.1 Le nettoyage des nanofils

Avant de réaliser les étapes de fabrication sur les nanofils, nous avons systématiquement nettoyé les fils après croissance, lorsque le matériau était compatible avec les solutions de nettoyage, pour enlever le catalyseur d'or présent au sommet des fils. Pour ce faire, nous avons procédé à la séquence de nettoyage présentée sur la figure 2.13.

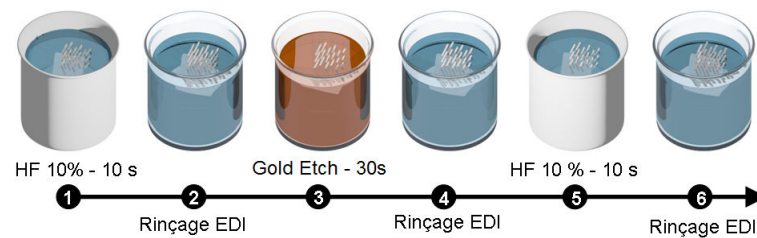


Figure 2.13: Procédé chimique de retrait de l'or des nanofils

La gravure de l'or a été réalisée par une solution chimique appelée "Gold Etch", cette solution est un mélange de di-iodure, d'iodure de potassium et d'eau dé-ionisée (IKI). Ce traitement n'étant pas compatible avec les nanofils contenant une forte concentration de germanium, nous ne l'avons pas utilisé sur les fils qui en contenaient plus de 50%.

2.2.2 Le procédé d'intégration planaire des nanofils

2.2.2.1 Dispersion des nanofils

Pour procéder à l'intégration horizontale des nanofils, nous avons plongé les nanofils après nettoyage dans une fiole contenant environ 2 mL d'IPA. Puis nous avons suspendu les nanofils par sonication dans un bain à ultra-son durant une vingtaine de secondes. Environ 10 μ L de la solution contenant les nanofils en suspension a été déposé sur un substrat de 1 cm² de silicium recouvert de 100 nm de nitrure Si₃N₄. Nous avons choisi d'utiliser ce substrat pour isoler les nanofils d'un contact face arrière. La goutte de solution est ensuite évaporée par chauffage sans contact au dessus d'une plaque chauffante à 120 °C. De cette manière les nanofils sont dispersés sur le substrat de façon aléatoire.

2.2.2.2 Réalisation du TFET à base d'un nanofil horizontal :

Une fois les nanofils dispersés sur le substrat, nous pouvons réaliser les premiers contacts, c'est-à-dire métalliser les parties drain et source du futur transistor. Comme les nanofils sont des diodes p-i-n nous devons nous assurer que l'espacement, entre ces deux contacts, est suffisant pour ne pas mettre l'un d'entre-eux sur la partie intrinsèque du nanofil. Nous allons donc toujours utiliser des masques de lithographie avec un espacement d'au moins

3 fois la longueur de celle-ci. Les principales étapes de lithographie sont représentées sur la figure 2.14 et dans la suite de ce paragraphe. Les résines et paramètres associés sont détaillés en annexe B.2.

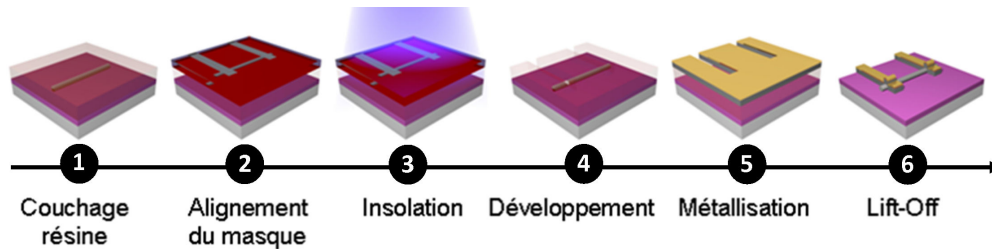


Figure 2.14: Schéma du procédé de fabrication des contacts drain et source d'un transistor à nanofil horizontal.

Le protocole de réalisation des contacts drain/source est le suivant :

1. Dépôt d'une couche de résine.
2. Un nanofil est localisé grâce aux binoculaires et aligné sous le masque de contact, grâce à l'aligneur optique équipé d'une lampe Deep-UV ou UV de type SÜSS Microtec MJB4 qui permet l'insolation de la résine.
3. La résine est développée avec la solution et le temps adéquat (voir annexe B.2). Ensuite l'échantillon est rincé à l'EDI et séché à l'azote. Puis un plasma O_2 de 1 min à 250 W est réalisé pour retirer les résidus de résine au fond de nos motifs.
4. Avant le dépôt des métaux de contact, nous retirons l'oxyde natif du fil par un nettoyage BOE standard (cf annexe ??). Puis les contacts sont métallisés par évaporation de 80 nm de Nickel et 120 nm d'aluminium.
5. Le métal superflu est retiré en plongeant l'échantillon dans de l'acétone, révélant ainsi les contacts drain-source sur le fil. Et pour finir nous nettoyons le substrat par un plasma O_2 afin de retirer les derniers résidus de résine qui pourraient gêner la conduction des charges.

Une fois les contacts drain/source réalisés sur le nanofil p-i-n, nous vérifions leur efficacité par une mesure électrique deux pointes. Si nous obtenons une caractéristique de diode, nous continuons par le dépôt d'oxyde de grille. Pour cela, nous dé-oxydons la surface du nanofil par un nettoyage standard BOE (voir annexe ??). Puis l'alumine ou le dioxyde d'hafnium est déposé par ALD ("atomic layer deposition").

Enfin nous reprenons le procédé précédent pour réaliser un contact métallique de grille, mais cette fois nous déposons 200 nm d'aluminium. Un dispositif fini est présenté sur la figure 2.15. L'intégration complète d'un nanofil en configuration horizontale demande environ 32 étapes de fabrication et de manipulation.

2.2.3 Le procédé d'intégration verticale des nanofils

Pour intégrer les nanofils verticaux, nous avons utilisé des substrats Si[111] avec des catalyseurs localisés comme présenté au paragraphe 2.1.2.2. Ainsi nous pouvons réaliser des dispositifs avec différentes densités de nanofils. L'intégration verticale des nanofils nécessite

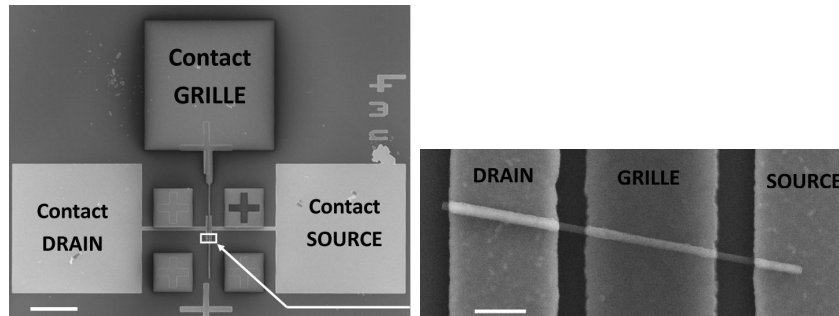


Figure 2.15: Images par microscopie électronique à balayage (MEB) d'un dispositif Tunnel FET à nanofil avec les trois contacts : Drain, Source et Grille. Celle de gauche montre le dispositif vu comme sous la binoculaire de la station de mesure, la barre d'échelle est de 100 µm. Celle de droite est le zoom sur le nanofil encadré en blanc sur la première image, la barre d'échelle vaut 1 µm.

63 étapes de fabrication et de manipulation, dont les principales sont représentées sur la figure 4.19, et peuvent être détaillées comme suit :

1. Pour cette intégration, les nanofils ont une longueur comprise entre 1 et 1.5 µm, dont la longueur de la partie source est comprise entre 300 et 500 µm. Ils sont nettoyés comme présenté au paragraphe 2.2.1.
2. Puis ils sont placés directement après le nettoyage dans le bâti de dépôt d'oxyde (ADL) pour la synthèse du diélectrique de grille.
3. Ensuite le métal de grille, c'est-à-dire l'aluminium, est déposé sur les structures par pulvérisation cathodique (PVD). Cette technique permet d'avoir un dépôt conforme sur les nanofils. Le substrat est recouvert de 100 nm d'aluminium et les flancs des fils d'environ 70 nm.
4. Nous retirons l'aluminium de la tête des fils pour permettre la prise du contact drain à leur sommet. C'est pourquoi nous dispersons de la résine sur les structures. Puis par des gravures sèches de type "Reactive Ions Etchant" (RIE), nous ajustons la hauteur de la résine à celle souhaitée de la grille et nous retirons le métal superflu de la tête des nanofils par la gravure humide de l'aluminium grâce à la solution commerciale nommée "Alu-Etch", puis nous retirons la résine.
5. Nous isolons le contact de grille du futur contact de drain par une épaisse couche d'ACCUFLO, un polymère organique. Il se dépose à la tournette et demande deux recuits successifs seulement : le premier pour la polymérisation et le second pour la planarisation, ce qui facilite la reprise de contact. Il est donc facile à utiliser, et de plus il se grave facilement par un plasma oxygène. Nous fixons sa hauteur par gravure sèche, de sorte que 70 nm des têtes des fils soient libérées, pour avoir une bonne isolation entre le contact de drain et de la grille.
6. Enfin, nous définissons le contact de drain par photolithographie et évaporation métallique sur le sommet des fils. La hauteur de métal déposé doit être d'au moins 2 fois la hauteur de la tête des fils sortis, pour assurer la bonne continuité électrique du courant.

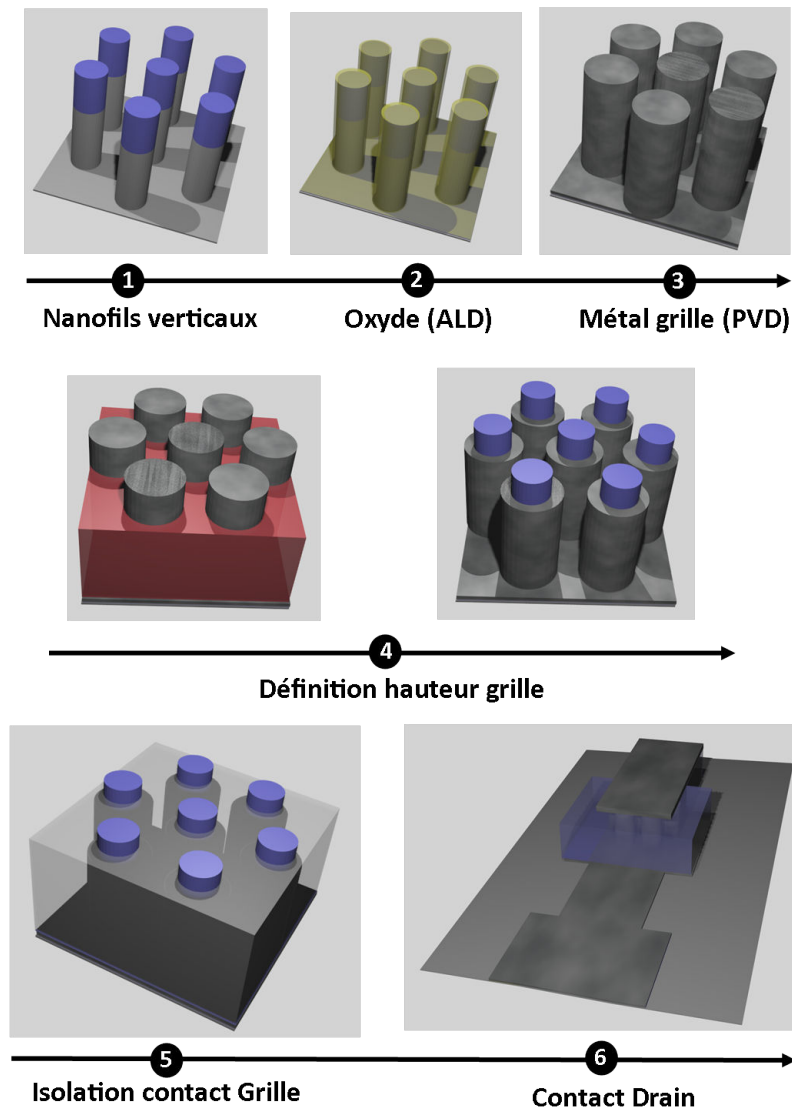


Figure 2.16: Principales étapes de fabrication d'un transistor à nanofils verticaux. Dans cet exemple, celui-ci est composé de 7 nanofils.

7. Finalement, nous ouvrons une fenêtre par photolithographie et gravure RIE dans l'ACCUFLO pour sortir le contact de grille du polymère.

Ce procédé présente deux étapes critiques, la définition de la hauteur de grille et le dépôt et gravure de l'accuflo. En effet dans la première étape, il faut bien maîtriser la gravure de la résine pour dégager la tête des nanofils seulement sur la hauteur de la partie source. Cette gravure peut être délicate, car le dépôt de résine n'est pas uniforme entre les nanofils verticaux. De plus, le plasma oxygène utilisé peut créer des trous autour du nanofils, comme montré en jaune sur la figure 2.17.

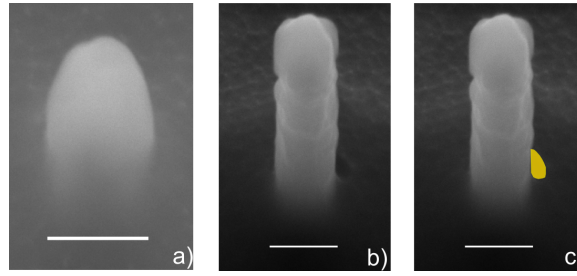


Figure 2.17: Images MEB de nanofils en-capsulés dans la résine pour la définition de la hauteur de grille. a) la résine est gravée uniformément autour du fil. b) et c) un trou s'est formé au bas de la tête du fil dans la résine, (le trou a été mis en jaune pour une meilleur visibilité sur la figure c)).

Ces trous vont permettre à l'alu-etch de graver tout le métal de grille par capillarité, comme sur le figure 2.18. Lorsque nous avons observé des trous dans la résine, nous l'avons retirée et nous avons recommencé la gravure de celle-ci. Les paramètres optimum de gravure de la résine, pour éviter la formation des trous et avoir une vitesse de gravure suffisante, sont 0 W de puissance de platen et 100 W de puissance de Coil.

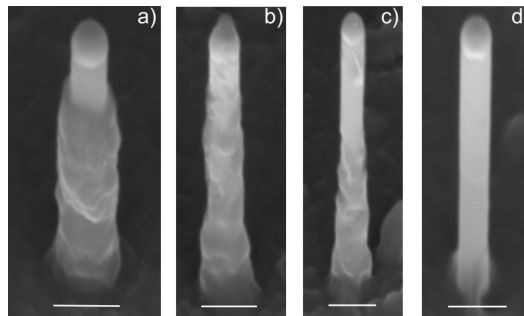


Figure 2.18: Images MEB de nanofils après la gravure humide de l'aluminium et le retrait de la résine protectrice. a) la gravure est réussite. b),c) et d) l'alu-etch s'est infiltré le long du fil et a gravé légèrement ou complètement le métal de grille.

Le deuxième point sensible de cette intégration est le dépôt de la couche d'isolation « Accuflo » des contacts grille et drain. Ce diélectrique est normalement utilisé comme dernière couche dans les procédés back-end, comme "vernis". Dans ce type de procédé, l'isolation des contacts est réalisée par le dépôt de nitrure ou d'une couche épaisse de SiO_2 par PECVD. Il faut tout d'abord placer un masque dur sur le haut des fils. Puis l'épaisseur d'isolant déposée doit être d'au moins 3 fois celle souhaitée, pour ensuite la graver par polissage mécano-chimique (CMP), que l'on arrête alors sur le masque dur. Ensuite une gravure sèche doit être réalisée pour ôter le masque dur et diminuer la hauteur d'isolant pour sortir la tête des fils. Enfin dans ce type de procédé, un dépôt d'Accuflo très fin peut être réalisé pour faciliter une reprise de contact drain (l'Accuflo offre une surface très plane). Ce protocole est certainement très fiable, mais il est lourd à mener. C'est pourquoi, l'utilisation de l'Accuflo comme seul isolant nous permet de réaliser une intégration rapide, mais pose quelques problèmes. Un recuit de siliciuration ($T > 270^\circ\text{C}$) après dépôt du

polymère est proscrit sous risque de le brûler. La hauteur d'Accuflo atteignable en un seul dépôt est d'environ $1.3\text{ }\mu\text{m}$. Or le dépôt d'une deuxième couche n'adhère pas à la surface de la première, sûrement à cause de la contrainte sur celle-ci lorsque l'on procède aux deux recuits. Donc nous avons choisi de ne réaliser qu'un recuit de polymérisation pour atteindre une hauteur d'Accuflo satisfaisante.

2.2.4 La siliciuration des contacts drain-source

La siliciuration des contacts source-drain est très utilisée dans la fabrication des MOSFETs, pour diminuer les résistance d'accès et créer des poches de dopages grâce aux phénomènes de ségrégation. Cette technique est également applicable pour les mêmes raisons aux transistors à effet tunnel avec un dopage in situ. Il existe différentes techniques de siliciuration, les plus répandues pour les nanofils sont le recuit RTP ou RTA pour "Rapid Thermal Process/Annealing" [87, 88, 89, 90], fRTP "Flash-Assisted Rapid Thermal Process" [91] qui utilisent des lampes infra-rouge et le recuit par laser ("laser anneal") [92]. Nous allons présenter dans ce paragraphe l'état de l'art de la siliciuration sur nanofil de silicium et d'alliage SiGe. Nous présenterons également notre procédé de siliciuration et les résultats obtenus.

2.2.4.1 La siliciuration des fils de silicium

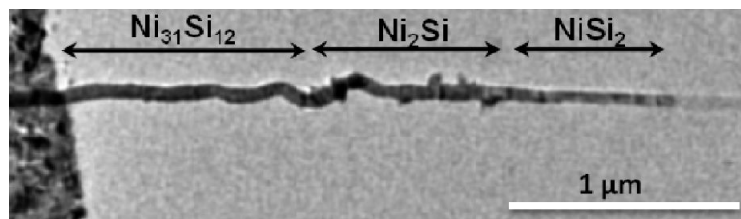


Figure 2.19: Image TEM de la croissance de phases de siliciure de nickel dans un nanofil de silicium après un recuit à $550\text{ }^{\circ}\text{C}$ pendant plus de 8min.[93]

La siliciuration des nanofils de silicium, tout dispositif confondu, est largement documentée dans la littérature. Il existe différentes phases de siliciure de nickel telles que NiSi, NiSi₂, Ni₃Si₂, Ni₃₁Si₁₂. Les phases riches en nickel peuvent déformer le nanofil et créer des défauts cristallins, lorsque le taux de nickel est trop important, comme présenté sur la figure 2.19 pour les phases Ni₃₁Si₁₂ et Ni₂Si. Par conséquent, la phase souhaitée est NiSi, car elle évite ces problèmes et sa résistivité est faible ($\rho = 14\text{--}20\text{ }\mu\Omega\text{ cm}$). Comme présenté dans le tableau 2.1, plusieurs groupes ont obtenu différentes phases de siliciure pour des températures de recuits proches. Malgré la dispersion des résultats obtenus, il a été observé que le mécanisme de croissance de la phase NiSi dépend du flux de nickel disponible (donc du diamètre du nanofil comme cela est explicité plus bas) et de la température de recuit.

Le protocole de réalisation des contacts siliciurés est le même pour tous les articles cités, et peut être résumé comme suit. Le dépôt de nickel est réalisé sur les nanofils déoxydés par un traitement HF. Car la siliciuration peut être bloquée par l'oxyde de silicium [93]. Les températures de recuit sont comprises entre $400\text{ }^{\circ}\text{C}$ et $600\text{ }^{\circ}\text{C}$ afin d'obtenir une phase riche en nickel. Le nickel se dissout et migre à travers les sites interstitiels du réseau de silicium

Table 2.1: Caption

Ref	Ø Nanofil Si	T _{recuit}	phase obtenue
Wu et al [87]	20 nm	550 °C	NiSi
Y-C Lin et al [93]	10 à 40 nm	500 à 650 °C	NiSi
W. Weber et al [88]	7 à 40 nm	470 °C	NiSi _x
W. Weber et al [89]	5 à 30 nm	480 °C	NiSi ₂
H-F Hsu et al [94]	>80 à 150 nm	500 °C	NiSi ₂ et NiSi
K. Byon [90]	5 à 20 nm	400 à 500 °C	NiSi ?
Y-C Lin et al [93]	50 à 70 nm	550 °C	Ni ₃₁ Si ₁₂ , NiSi ₂ , Ni ₂ Si

[95]. Le mécanisme de siliciuration d'après l'article de Hsu et al[94] est un processus en deux étapes. La croissance de siliciure commence dans la direction radiale du nanofil par une phase riche en nickel, puisque la phase obtenue dépend du ratio d'atome Ni/Si. Cette réaction est similaire à celle d'un film métallique à l'état solide sur une couche de silicium. Dans l'étude [94], la phase Ni₃Si₂ a été obtenue sous les contacts de nickel, voir figure 2.20 a). Une fois le volume sous le film de nickel siliciuré, la croissance continue dans l'axe du nanofil, c'est la seconde étape de la siliciuration. Cette pénétration du siliciure de nickel dans le nanofil implique différents processus thermiquement activés, tels que la diffusion du nickel dans le volume, en surface et à l'interface siliciure/Si. La diffusion du nickel en surface du siliciure est plus importante que la diffusion en volume[94]. C'est donc par cette diffusion que le flux d'atomes de nickel arrive à l'interface siliciure/Si afin de l'alimenter pour permettre sa croissance [95]. La détermination de la phase du siliciure se produit à l'interface Si/siliciure car elle dépend du rapport entre le nombre d'atomes de silicium par rapport à celui de nickel [94]. En effet, la phase NiSi souhaitée a été obtenue sur des nanofils de faible diamètre alors que c'est la phase NiSi₂ qui a été synthétisée sur les nanofils de plus gros diamètre. La seule différence entre ces deux fils est que la concentration d'atome de nickel au centre de l'interface Si/Siliciure diminue lorsque le diamètre du nanofil augmente. Donc dans les nanofils ayant un diamètre plus grand, la concentration de nickel n'atteint pas la saturation requise pour former la phase NiSi.

Par conséquent, nos nanofils ayant un diamètre de 100 nm environ, nous supposons que les recuits nous fourniront une phase de siliciuration de type NiSi_x pour une température de recuit inférieure à 450 °C. Dans notre cas, nous rappelons que la siliciuration des contacts est réalisée sur des diodes p-i-n, ayant des parties dopées de 3 µm et une partie intrinsèque de 1 µm. Nous avons réalisé les contacts drain/source avec un espacement de 4 µm. Donc l'espacement entre les contacts et la partie intrinsèque est supposée être d'environ 1,5 µm. Notre procédé de recuit doit nous permettre d'utiliser la siliciuration pour obtenir un contact ohmique de faible résistivité et améliorer le profil de dopage en utilisant la ségrégation des dopants. Nous ne souhaitons pas réduire la longueur de la partie intrinsèque par le recuit. Donc nous ne devons pas obtenir de siliciure plus long que 1 µm hors des contacts métalliques. Dans la littérature, il existe de nombreux résultats dont la disparité sur nanofils dopés est large, comme par exemple [91] et [92].

Pour ce faire, nous avons réalisé différents types de recuits pour trouver des conditions

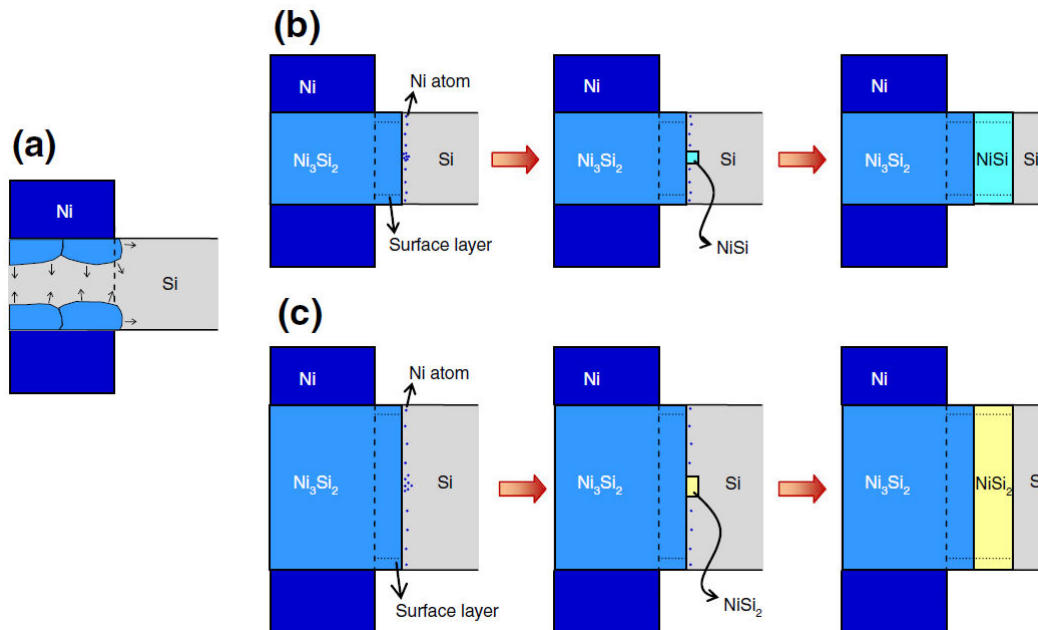


Figure 2.20: Illustrations schématiques du mécanisme de la siliciuration en deux-étapes au sommet des nanofils de Silicium[94], avec la comparaison des phases de siliciure obtenues en fonction du diamètre des nanofils.

satisfaisantes pour nos dispositifs, comme présentés dans le tableau 2.2.

Table 2.2: Résultats obtenus sur nos dispositifs en fonction des conditions de recuit (# signifiant nombre)

Température	Gaz	Temps	Observations
415 °C	N_2H_2	30s	perte de la continuité électrique pour tous les échantillons.
400 °C	N_2	1 min	perte de la continuité électrique # > 1/2# des échantillons
400 °C	N_2	15s	# > 1/2# des échantillons ont de bonnes caractéristiques électriques.

Lorsque les échantillons sont dits « sans continuité électrique » après le recuit (tableau 2.2), les nanofils ont typiquement la morphologie montrée en figure 2.21. Nous pouvons donc supposer qu'une phase riche en nickel s'est tout d'abord formée (zone de couleur claire et plus large que le fil à l'origine sur la figure 2.21). Ensuite il y a une partie de plus petit diamètre de couleur foncée et enfin une partie de même couleur mais du diamètre original du fil. Nous pensons que la partie de diamètre plus faible est une zone où il y a un appauvrissement en silicium, d'où la perte de contact électrique sur ces dispositifs. Nous n'avons pas d'explication permettant de comprendre pourquoi ce phénomène se produit sur certains échantillons et non sur d'autres. En diminuant la température et le temps de recuit, nous avons obtenu une phase siliciurée satisfaisant nos conditions sur plus de la moitié des échantillons testés. Nous avons donc décidé de fixer les paramètres de recuit à 400 °C pendant 15s. Nous montrerons dans le chapitre 3 l'amélioration des résistances d'accès et par conséquent des niveaux de courants obtenus sur les caractéristiques de diodes

grâce au recuit sélectionné.

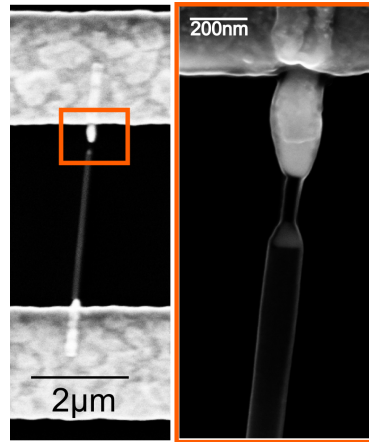


Figure 2.21: Images MEB typiques d'un nanofil recuit dont le contact électrique a été perdu après recuit.

2.2.4.2 La siliciuration des fils SiGe

Dans le cas d'un nanofil d'alliage Si-Ge, le recuit d'un film de nickel conduit à la formation d'une phase germano-siliciure de nickel. Celle-ci a été étudiée sur film de SiGe par différents groupes [96, 97, 98]. Ils ont montré que plus la concentration en germanium était importante dans l'alliage SiGe et plus la courbe de transformation du système Ni/Si/Ge tendait vers celle du système Ni/Ge. Ce dernier permet d'obtenir des germaniures pour des recuits décalés de 50 à 100 °C vers les basses températures par rapport à celle de la siliciuration. Zhao Q.T. et al.[96] ont montré que des couches d'alliage SiGe avec un taux de germanium fixe n'auront pas la même stabilité morphologique de germano-siliciure (c'est-à-dire des agglomérats) si les couches n'ont pas le même niveau de contrainte et de relaxation. Le germano-siliciure sera d'autant plus stable que le taux de relaxation est important. Dans les couches d'alliage SiGe, la formation du mono-NiSiGe est obtenue pour des températures de recuit supérieures à 350 °C. Mais au delà de 500 °C, une redistribution du germanium entre le substrat et le germano-siliciure conduit à un appauvrissement en germanium de la phase NiSiGe [98]. Nous avons observé cet effet sur les diodes p-i-n $\text{Si}_{0.7}\text{Ge}_{0.3}$, comme présenté sur la figure 2.22, après un recuit à 400 °C durant 1 min. C'est pourquoi nous avons repris les conditions de siliciuration sur nanofil de silicium, c'est-à-dire 400 °C pendant 15s. Avec ce protocole, nous n'avons pas observé d'appauvrissement en germanium pour nos dispositifs. La température de recuit était plus faible dans nos expériences, comparé à [98], mais dans le cas des nanofils, la diffusion en surface est plus importante que pour des couches.

Nous avons mis en place un protocole de siliciuration adéquat pour nos dispositifs à base de nanofils horizontaux de Si et SiGe. Nous présenterons l'amélioration des performances électriques obtenues pour ces dispositifs grâce à la siliciuration dans les chapitres suivants. Nous allons à présent présenter les techniques d'extractions des propriétés électriques des dispositifs réalisés.

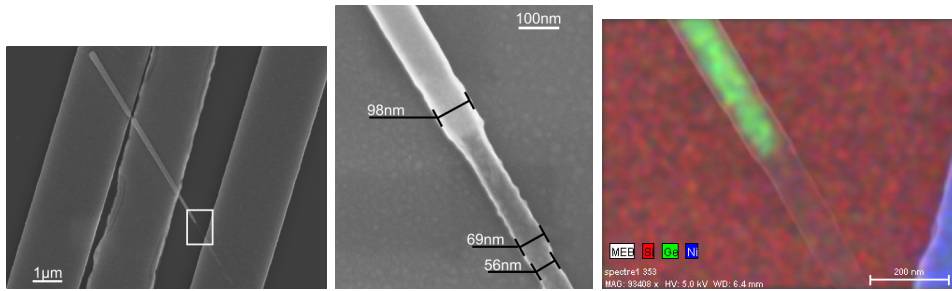


Figure 2.22: Images MEB et analyse EDX montrant la zone d'appauvrissement en germanium après un recuit à 400 °C durant 1 min.

2.3 Extraction des propriétés électriques

2.3.1 Paramètres électriques clefs des transistors

Pour tous les transistors, plusieurs paramètres permettent de qualifier leur fonctionnement. Les deux premiers sont : le courant à l'état passant (I_{on}) et le courant à l'état bloqué (I_{off}) du transistor. Ces valeurs sont extraites depuis la caractéristique de transfert des transistors, c'est-à-dire pour une polarisation de tension de drain fixe, on applique une tension de grille variable, comme présenté sur la figure 2.23.

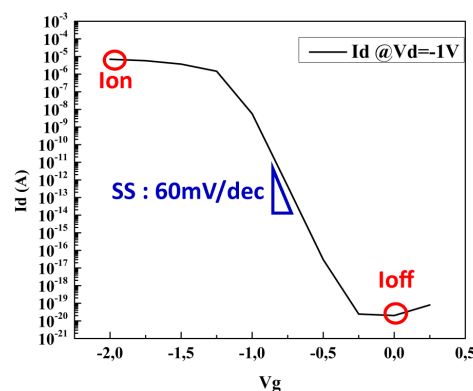


Figure 2.23: Caractéristique $I_d(V_g)$ simulée d'un p-MOSFET idéal à nanofil de Silicium, pour un niveau de dopage $N_A = 5 \cdot 10^{19} \text{ cm}^{-3}$ et une longueur de grille de 60 nm.

La technique la plus répandue dans la littérature, et que nous utiliserons ici pour extraire ces paramètres, consiste à prendre la valeur maximale du courant sur la courbe $I_d(V_g)$ (en générale en régime de saturation) pour le courant I_{on} et la valeur du courant à $V_g = 0 \text{ V}$ pour le courant I_{off} .

Il est d'usage de normaliser les courants des caractéristiques courant-tension par la largeur du canal pour une longueur donnée du transistor. Cette normalisation permet aux architectes des circuits CMOS d'adapter les dimensions du transistor à la valeur de courant souhaitée. Pour faciliter les comparaisons entre différents dispositifs, les courants des tunnel FET à

base de nanofils sont généralement normalisés par le périmètre des nanofils. Le périmètre du nanofil correspond au diamètre inférieur de la grille dans le cas d'une architecture de grille enrobante. Cette technique de normalisation est largement utilisée dans la littérature. Un problème se pose pour les dispositifs à grille semi-enrobante telle que les Ω -gate, que nous obtenons pour les transistors planaires. Dans ce cas, certains groupes utilisent l'arc de cercle formée par la grille pour normaliser le courant, ce qui augmente le courant normé de 25%. Dans ce travail, nous normaliserons toujours nos courants par le périmètre du nanofil et non par le recouvrement de la grille. Nous estimons que cette approximation baisse de 25% environ les valeurs de courants obtenus par rapport aux groupes qui utilisent la normalisation par le recouvrement de la grille.

Un autre paramètre important est l'inverse de la pente sous le seuil des transistors, noté SS pour « subthreshold swing » en anglais. Pour les MOSFETs sa valeur est limitée à 60mV/dec à cause du mécanisme thermoïonique et elle est constante en V_G en régime de faible inversion. Mais pour les Tunnel FETs, elle peut être plus faible et elle varie en fonction de V_G , comme nous l'avons déjà discuté dans le chapitre précédent au paragraphe 1.2.3. Cette valeur est mesurée directement des données expérimentales en calculant la différence de tension nécessaire à l'augmentation du courant de une décade sur la courbe I_D - V_G en échelle semi-logarithmique, comme présenté sur la figure 2.23.

2.3.2 Capacité de grille

La structure Métal-Oxyde-Semiconducteur (MOS) des Tunnel FETs permettant le passage des porteurs par effet tunnel grâce à la modulation des bandes de conduction et de valence. Nous avons besoin de connaître la capacité obtenues dans nos dispositifs, pour l'intégrer au calcul de simulation du courant tunnel obtenu présenté dans le paragraphe 2.3.3. Pour cela nous allons nous appuyer sur le modèle suivant pour l'estimer. Nos dispositifs sont soit à grille totalement enrobante, soit semi-enrobante c'est-à-dire en Ω -grille. Nous allons donc utiliser l'expression de la capacité cylindrique pour ces deux géométries et seulement appliquer un facteur de division pour obtenir la capacité de l'architecture Ω -grille. La capacité cylindrique est le modèle utilisé pour une grille enrobant le nanofil. Elle sera donc utilisée pour les dispositifs à nanofils verticaux. La capacité selon cette configuration cylindrique s'exprime de la façon suivante :

$$C_{ox} = \frac{2\pi\epsilon_0\epsilon_r L}{\ln\left(\frac{r+t}{r}\right)} \quad (2.2)$$

avec ϵ_0 la permittivité du vide, ϵ_r la permittivité relative du diélectrique, L la longueur de grille, r le rayon du nanofil et t l'épaisseur de l'oxyde de grille.

Pour la grille semi-enrobante, nous pouvons estimer le recouvrement de la grille au 3/4 de la circonférence du fil. Donc nous multiplions l'expression 2.2 par ce facteur pour obtenir une approximation de la capacité de la structure Ω -grille .

2.3.3 Extraction des propriétés électriques des Tunnel FETs

Comme dit brièvement dans le chapitre 1 dans le paragraphe 1.2.1, nous avons choisi d'utiliser un modèle de BBT de type Klaassen, dont l'équation est rappelée en 2.3, pour simuler les caractéristiques électriques de nos dispositifs. Dans notre modèle, nous ne prenons pas en compte les mécanismes de diffusion et de recombinaison SRH de la structure p-i-n. Il n'inclut pas non plus les phénomènes de trap-assisted tunneling (TAT) et de résistance d'accès des dispositifs. Notre simulation prend seulement en compte la conduction par transition BBT, dont le modèle analytique de Klaassen a été développé pour les semiconducteurs à gap direct et indirect, et il repose sur un certain nombre d'hypothèses. Parmi celles-ci, les deux plus importantes sont l'approximation des bandes paraboliques et du champ électrique homogène et constant le long du canal du transistor. Ces approximations permettent de considérer le problème comme un puits de potentiel triangulaire (approximation de WKB). Le courant tunnel dans ce modèle ne dépend que du champ électrique E dans la structure, A et B étant des paramètres de l'effet tunnel dépendant du matériau. Le détail des définitions de ces paramètres est présenté dans la section 1.2.1. Dans notre modèle, α est toujours égale à 2,5 puisque nous travaillons avec des semiconducteurs à gap indirect.

$$I = A \cdot |E|^\alpha \exp\left(-\frac{B}{|E|}\right) \quad (2.3)$$

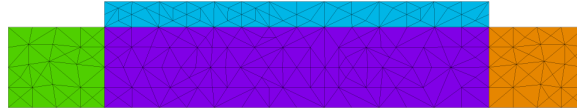


Figure 2.24: Représentation numérique du dispositif simulé, avec un maillage composé de 800 noeuds.

Il nous faut donc calculer le champ électrique dans la structure en fonction de la tension de drain et de la tension de grille. Ainsi nous devons résoudre numériquement les équations de Poisson, dont la solution est le potentiel V . A cette fin, nous avons utilisé le logiciel FlexPDE ?? pour réaliser la simulation tridimensionnelle en coordonnées cylindriques de notre dispositif. Nous avons défini la demi-tranche du transistor à nanofil, où nous avons réalisé quatre zones différentes, les parties source et drain, le canal de conduction et l'oxyde de grille. Un maillage numérique pour la décomposition en éléments finis a été rattaché à ces espaces, comme présenté sur la figure 2.24. Les propriétés des matériaux sont prises en compte dans la simulation par les valeurs données des constantes diélectriques et des gap des semiconducteurs.

Chaque partie source, drain, canal et grille ont les propriétés du matériau utilisé dans le dispositif. Ainsi nous pouvons simuler le comportement d'un TFET à homostructure ou hétérostructure par le même programme, juste en modifiant les propriétés des matériaux utilisés. Nous présenterons les résultats de simulation obtenus pour nos dispositifs dans les chapitres 3 et 4. Les grandeurs physiques que nous devons obtenir pour résoudre notre

système sont donnés par la résolution des équations suivantes :

- Le potentiel électrique V est calculé grâce à l'équation de Poisson qui le relie la densité de charge s :

$$\text{div}(\varepsilon \cdot \text{grad}(V)) = s \quad (2.4)$$

avec $s = q(n - p)$ et $n = n_i \exp(\frac{V - U_n}{kT})$ et $p = n_i \exp(\frac{-(V - U_p)}{kT})$, n_i étant la densité de charge intrinsèque de chaque matériau et U_n et U_p la tension appliquée aux bornes drain et source respectivement.

- Le champ électrique est obtenu par l'équation de Maxwell, pour notre résolution nous ne prenons que l'amplitude du champ électrique :

$$E_m = ||\text{grad}(V)|| \quad (2.5)$$

- La densité de courant obtenu par effet tunnel peut donc être calculée grâce à l'équation de Klaassen :

$$G_{BBT} = A \cdot E_m^{2,5} \cdot \exp(\frac{B}{E_m}) \quad (2.6)$$

Avec A et B les coefficients de la transition tunnel bande à bande pour chaque matériau. Cette densité de courant est ensuite intégrée sur le volume du demi nanofil puis multipliée par deux pour obtenir le courant de la transition tunnel dans nos structures.

Nos simulations sont donc dépendantes du calcul de la dérivée, dont le résultat est plus ou moins précis en fonction du nombre de nœuds de calcul dans le maillage de notre structure. Nous avons donc fait varier le nombre de nœuds du maillage, comme présenté sur la figure 2.25 et l'on observe que pour un nombre de nœuds compris entre 2000 et 3000, les simulations donnent exactement les mêmes résultats. Donc nous avons utilisé des maillages à 3000 nœuds dans nos simulations pour limiter les incertitudes dues au calcul du champ électrique dans la structure.

Grâce à ce programme, nous obtenons donc des courbes théoriques du courant tunnel dans nos dispositifs. Nous nous servons de la simulation pour approcher les valeurs des paramètres A et B du mécanisme de transition BBT de nos dispositifs.

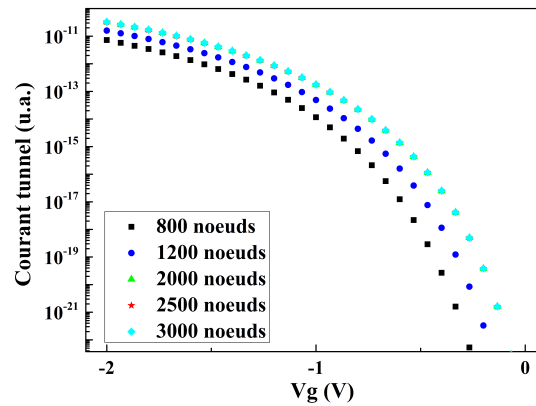


Figure 2.25: Simulation du courant d'un P-TFET à base de nanofil de silicium pour différentes quantités de nœuds du maillage.

2.4 Conclusion du chapitre

Dans ce chapitre, nous avons présenté la technique de croissance d'hétérojonction et d'hétérostructure à base de nanofils composé de Si et SiGe. Ensuite les procédés d'intégration des nanofils en dispositifs horizontaux ou verticaux ont été détaillés. Enfin le protocole d'extraction des propriétés électriques des TFETs a été explicité, ainsi que le programme de simulation des courbes électriques des transistors à effet tunnel, grâce auquel on pourra comparer les caractéristiques de nos dispositifs dans les chapitres suivants.

CHAPITRE 3

Étude des propriétés électriques des tunnel FET à nanofil à hétérojonction Silicium

Comme cela a été présenté dans le premier chapitre, les performances électriques des TFETs sont dépendantes des propriétés du matériau, c'est-à-dire du gap E_g et de la masse effective des porteurs m^* (équation 3.1). Mais on observe qu'elles dépendent également du niveau de dopage de la source N_D et du bon contrôle électrostatique de la grille sur le canal. Ces deux paramètres sont principalement pris en compte dans λ , la longueur d'écrantage de l'équation 3.1.

$$I \propto T(E) \propto \exp\left(-\frac{4\lambda\sqrt{2m^*}}{3\hbar(E_g + \Delta\Phi)}\right) \quad (3.1)$$

Dans ce chapitre, nous montrerons l'influence de ces deux derniers paramètres sur le niveau de courant et l'inverse de la pente sous le seuil des TFETs. Ainsi, nous allons présenter les performances des Tunnel FETs à base d'homostucture silicium en fonction du niveau de dopage de la source et du contrôle électrostatique de la grille sur le canal. Nous allons tout d'abord caractériser électriquement des TFETs à base de nanofils p-i-n en silicium synthétisés avec différents niveaux de dopage. Puis nous nous sommes concentrés sur la structure donnant les meilleurs résultats et nous l'avons caractérisée afin de différencier les mécanismes de conduction par effet tunnel en fonction de la tension de grille appliquée. Pour ce faire, nous avons réalisé des mesures en fonction de la température, et des simulations des caractéristiques électriques par notre modèle présenté dans le chapitre précédent. Enfin, toujours à partir des nanofils de cette croissance, nous avons observé l'influence du contrôle électrostatique de la grille sur les performances électriques des TFETs, en utilisant différentes épaisseurs et oxydes de grille.

3.1 L'efficacité du dopage in-situ :

La structure p-i-n est la base que nous avons choisi pour notre dispositif TFET. Pour obtenir cette modulation du dopage le long du nanofil, nous avons deux possibilités, soit un dopage par implantation, soit un dopage in situ. Or comme nous souhaitons respecter

le budget thermique du back-end ($T_{\text{process}} < 450^\circ\text{C}$), nous ne pouvons pas procéder par implantation ionique, car pour que le dopage soit ensuite électriquement actif, il faut réaliser des recuits d'activation à haute température. Donc nous devons procéder par un dopage in situ. Nous allons ainsi étudier ce dopage sur les différentes structures proposées, par trois méthodes : l'étude du profil de dopage le long du nanofil par une mesure SCM (scanning capacitance measurement), la mesure quatre pointes pour extraire la résistivité du nanofil et enfin les caractéristiques $I_d(V_d)$ des dispositifs Tunnel FET réalisés grâce à la prise de contact source/drain.

Table 3.1: Paramètres de croissance des nanofils de silicium.

Echantillon	SiPN0022	SiPN0025	SiPN0030
Ratio PH_3	$1 \cdot 10^{-3}$	$5 \cdot 10^{-3}$	$5 \cdot 10^{-3}$
Ratio B_2H_6	$1 \cdot 10^{-3}$	$5 \cdot 10^{-3}$	$7 \cdot 10^{-4}$
N_D	$2 \cdot 10^{19}\text{cm}^{-3}$	$8 \cdot 10^{19}\text{cm}^{-3}$	$8 \cdot 10^{19}\text{cm}^{-3}$
N_A	$5 \cdot 10^{18}\text{cm}^{-3}$	$2 \cdot 10^{19}\text{cm}^{-3}$	$2 \cdot 10^{18}\text{cm}^{-3}$

Pour mettre en avant le niveau de dopage sur les performances des Tunnel FETs, nous avons choisi trois ratios de dopage différents présentés dans les lignes 2 et 3 du tableau 3.1. Ces trois croissances ont été réalisées dans les mêmes conditions de pression (3torr) et température (600°C). Les nanofils de chaque croissance sont présentés sur les images MEB de la figure 3.1.

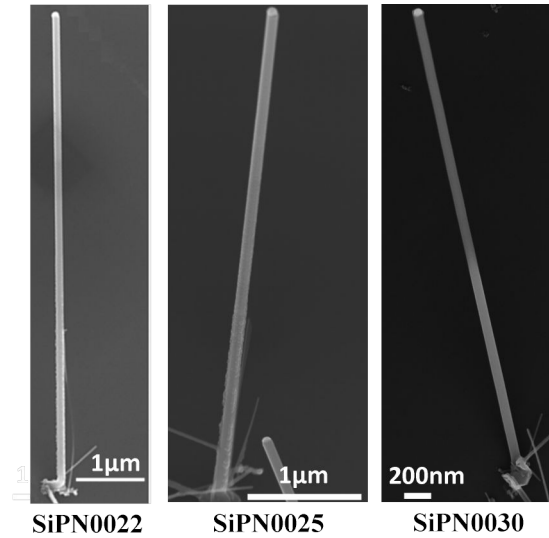


Figure 3.1: Images MEB des nanofils après croissance.

3.1.1 La modulation du dopage le long d'un nanofil de silicium

Nous avons étudié la modulation du dopage du nanofil, par la mesure de sa variation de capacité surfacique sous l'effet d'une tension sinusoïdale et alternative en balayant une pointe AFM conductrice selon son axe de croissance, cette mesure est appelée « Scanning Capacitance Measurement » (SCM). Elle a été réalisée en collaboration avec Franck

Bassani et Pryianka Periwall. La mesure de la capacité qui est formée entre le nanofil semiconducteur, son oxyde natif et la pointe AFM conductrice permet d'identifier le type de porteurs actifs au sein du nanofil. Cette mesure est réalisée en mode contact de l'AFM et par l'application d'une tension alternative par un contact face arrière grâce à un substrat conducteur. Ainsi en appliquant une force constante entre la pointe et l'échantillon, nous obtenons simultanément la topographie du fil et l'image de la réponse à l'excitation en tension du nanofil. La composante alternative de la tension appliquée crée des variations de capacité qui induisent un déplacement de la fréquence de résonance du résonateur LC utilisé comme détecteur, dont la sensibilité est de l'ordre des attofarads (10^{-18}F). Grâce à la pointe conductrice, nous obtenons une cartographie des variations de capacité locales du nanofil, de laquelle nous extrayons par analyse du contraste le signal dC/dV . Cette technique est une alternative aux mesures conventionnelles de profil de dopage telles que la spectroscopie de masse des ions secondaires, l'holographie électronique ou les mesures de résistivité. Le contraste de l'image permet de récolter le signe et l'amplitude du signal résultant de la variation de capacité induite dC/dV qui est en rapport avec la nature et la concentration de dopant au sein du nanofil, comme présenté sur l'image 3.2. Dans une structure MOS idéale, la capacité mesurée est la somme de deux capacités en série (cf équation 2.2), celle due à l'oxyde C_{ox} et celle de la zone de charge d'espace déplétée C_d . Cette capacité totale a une dépendance complexe en fonction de la tension appliquée, du dopage du semiconducteur et d'autres paramètres, mais pour une structure MOS idéale elle s'exprime de la façon suivante [99] :

$$\frac{1}{C_{total}} = \frac{1}{C_{ox}} + \frac{1}{C_d}$$

$$\text{- en zone d'accumulation :} \quad \frac{1}{C_{total}} = \frac{d}{\varepsilon_{ox}A}$$

$$\text{- en zone de déplétion :} \quad \frac{1}{C_{total}} = \frac{d + (\varepsilon_{ox}/\varepsilon_s)W_m}{A\varepsilon_{ox}}$$

Avec ε_{ox} la constante diélectrique de l'oxyde, d l'épaisseur de l'oxyde, A la surface effective de contact, ε_s la constante diélectrique du silicium et W_m la largeur de la zone de déplétion, qui dépend du dopage du semiconducteur [11].

Ainsi, le signal dC/dV a une grande amplitude sur les zones faiblement dopés et une amplitude faible sur les zones fortement dopées. Le signe du signal change en fonction de type de dopage, il est positif pour le dopage de type P et il est négatif pour le dopage de type N, car pour des raisons techniques, la polarisation électrique est appliquée en face arrière et non sur la pointe AFM. De plus, le contraste dépend de la composante continue de la tension appliquée, comme cela a été rapporté par Smoliner et al [100]. L'écart de capacité entre le montage et le système pointe-échantillon étant d'environ de deux ordres de grandeur, il est difficile de mesurer la valeur absolue de la capacité. Donc on ne peut pas estimer exactement le niveau de dopage par cette mesure. Mais, comme le signe de la capacité dépend du type de dopage, nous pouvons déterminer les zones de changements de capacité, et ainsi vérifier la modulation du dopage du nanofil selon son axe de croissance.

Comme nous travaillons en mode contact, nous devons attacher le nanofil sur un substrat fortement dopé permettant d'appliquer la tension alternative en contact face arrière et d'éviter l'ajout de capacités en série supplémentaires. Les pointes utilisées pour les mesures SCM sont recouvertes d'une couche de Platine-Iridium ayant une raideur de 0.2 N m^{-1} . Durant le balayage de la surface du nanofil, l'échantillon est soumis à une tension alternative ($V_{\text{DC}} + V_{\text{AC}} \sin \omega t$) d'une fréquence de quelques 10 kHz pour obtenir une caractéristique C-V haute fréquence. La composante continue V_{DC} a été choisie de manière à obtenir le maximum de contraste entre les trois jonctions, sa valeur est indiquée sur les images SCM.

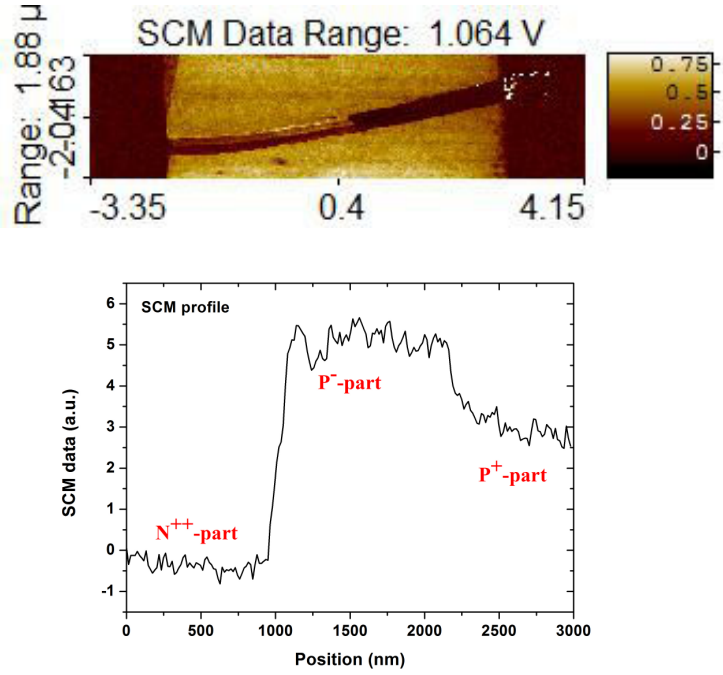


Figure 3.2: a) Image SCM d'un nanofil de silicium de la croissance SiPN0022, d'un diamètre de $(105 \pm 1) \text{ nm}$; b) profil de mesure SCM d'un fil de cette même croissance

L'image SCM et le profil correspondant (moyenné sur la largeur du nanofil), réalisés sur un nanofil p-i-n (SiPN0022) de $(105 \pm 1) \text{ nm}$ sont présentés sur la figure 3.2. Les trois segments du nanofil sont clairement visibles et la transition entre chaque partie dopée est spatialement définie. On observe que la partie intrinsèque non-intentionnellement dopée P^- a une longueur d'environ $1 \mu\text{m}$ comme attendue par les conditions de croissance. Sur le profil SCM, le signal est constant hors des zones de transitions, ce qui signifie que chaque segment est uniformément dopé [101]. Ceci est à relier à l'utilisation du HCl qui empêche la croissance 2D laquelle créerait une variation de dopage le long d'un segment. La partie du nanofil de type n, du côté droit de l'électrode sur l'image SCM, a un signal dC/dV de signe négatif et son amplitude est proche de zéro, ce qui est en accord avec le fort niveau de dopage attendu de $2 \cdot 10^{19} \text{ at.cm}^{-3}$ grâce au ratio de dopant inséré (voir tableau 3.1). La partie dopée p du nanofil, proche de l'électrode gauche sur l'image SCM, a un signal positif et une amplitude supérieure à celle de la partie type n. Donc comme nous l'attendions, le dopage au bore est plus faible que celui au phosphore pour le même ratio de dopant, ceci

étant dû à la plus faible solubilité du bore dans le catalyseur Si-Au [102]. Le niveau de dopage attendu pour cette partie du fil est de $4 \cdot 10^{18} \text{at.cm}^{-3}$. La partie intrinsèque apparaît non-intentionnellement dopée de type p malgré le fait que l'on commence la croissance par un dopage de type n, ce qui indique que ce dopage est causé par un effet mémoire des parois du réacteur.

Cette mesure prouve que les conditions de croissances des nanofils permettent d'obtenir des hétérojonctions sans variation du dopage au sein de chaque segment et qu'elles sont localement bien définies. Cette mesure, très sensible à l'état de surface du nanofil, montre également qu'il n'y a pas de dépôt 2D non-catalysé sur les nanofils SiPN0022, comme cela a pu être observé dans la littérature [103, 64], ceci étant à relier à l'utilisation du HCl durant la croissance et au niveau de dopage adéquate pour éviter cette croissance parasite.

3.1.2 Estimation du niveau de dopage des nanofils de silicium

Afin d'estimer le niveau de dopage électrique obtenu pour chaque ratio de dopant utilisé dans les différentes structures proposées au tableau 3.1, nous avons mesuré la résistivité de nanofils crus dans les mêmes conditions (pression, température) grâce à des mesures quatre pointes. Cette mesure permet d'obtenir la résistance du nanofil en s'affranchissant des résistances de contacts, à condition que les contacts soient scrupuleusement les mêmes (espacement, hauteurs de barrière Schottky). Pour fabriquer les dispositifs de mesure quatre pointes, nous avons dispersé les nanofils sur un substrat ayant des électrodes pré-existantes en or obtenues par lithographie électronique (Ebeam). Ensuite nous localisons les nanofils dispersés et nous réalisons une reprise de contact entre le fil et les électrodes par la même technique de lithographie. Enfin, les contacts sont métallisés par évaporation de Ni/Au, en prenant soin de faire une dé-oxydation au BOE au préalable. Un exemple d'un tel dispositif est montré sur la figure 3.3. Sur cet échantillon, les contacts réalisés permettent de mesurer le dopage des parties de type N et P d'un nanofil SiPN0025. Les mesures électriques de chaque partie dopée du nanofil sont réalisées en appliquant un courant entre les électrodes extérieures, et la mesure la chute de potentiel est faite entre les deux électrodes intérieures, comme présentée sur la figure 3.3 c).

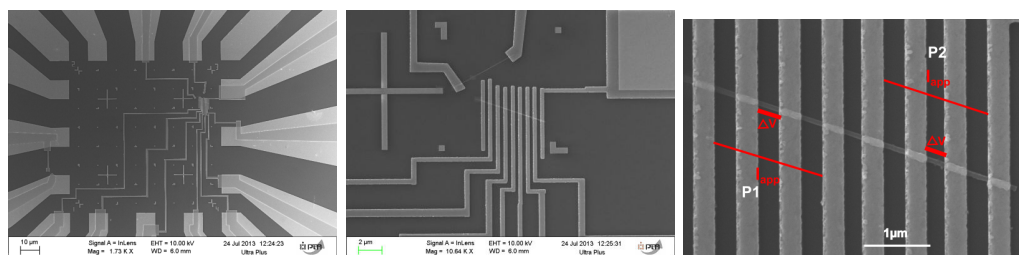


Figure 3.3: Images MEB du dispositif de mesures quatre pointes sur chaque partie du nanofil SiPN0025, dont le diamètre est de 60 nm.

La pente de la courbe $I_{\text{app}}(\Delta V)$ nous donne la résistance R du nanofil (voir figure 3.4), et la résistivité ρ ($\Omega \cdot \text{cm}$) est obtenue grâce à la formule suivante :

$$\rho = \frac{R \cdot S}{L}$$

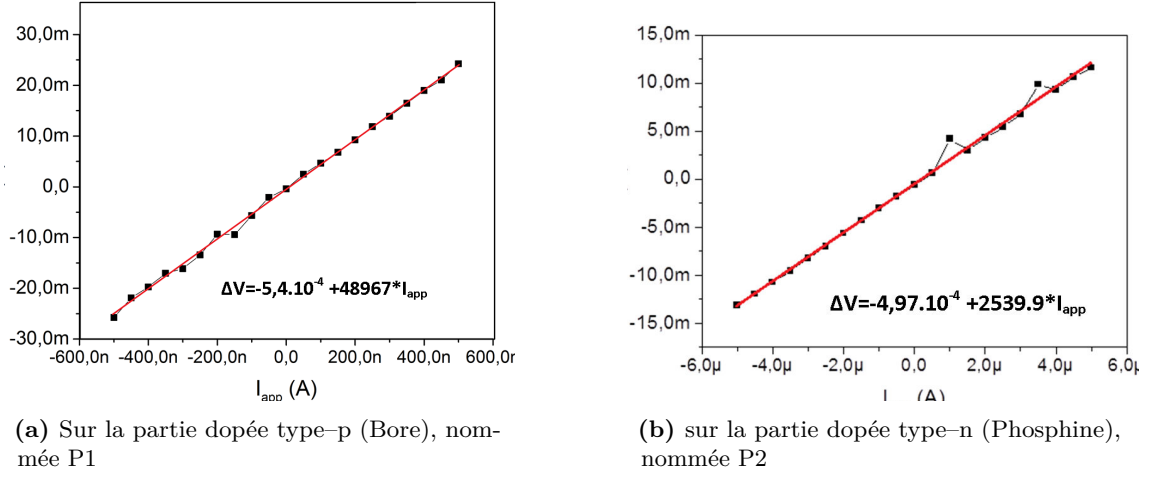


Figure 3.4: Mesures électriques 4 points réalisées sur un nanofil SiPN0025 de 60 nm de diamètre.

avec S la section du nanofil en cm^2 et L l'espace entre les électrodes intérieures en cm. Ainsi on peut déterminer la conductivité qui est $\sigma = 1/\rho$, et remonter au dopage n par la formule $n = \frac{\sigma}{e\mu}$.

Cette technique de mesure de la résistivité est similaire à la mesure de dopage TLM (Transfer Length Method) sur substrat massif. Les niveaux de dopage donnés dans le tableau 3.1 ont été estimés grâce à cette technique, réalisées sur de nombreux échantillons.

Nous avons annoncé au début de ce chapitre des variations dans les paramètres électriques des nanofils. Par exemple, l'estimation du dopage électrique au sein du nanofil SiPN0025 de 60 nm de diamètre, obtenue grâce aux courbes 3.4, donne $N_A = 3 \cdot 10^{17} \text{at} \cdot \text{cm}^{-3}$ pour le type p et $N_D = 5 \cdot 10^{18} \text{at} \cdot \text{cm}^{-3}$ pour le dopage de type-n. Or les niveaux de dopage estimés d'après les conditions de croissance et les mesures de résistivité réalisées au préalable sur des nanofils de 100 nm de diamètres crus dans les mêmes conditions que les hétérostructures, sont de $N_A = 2 \cdot 10^{19} \text{cm}^{-3}$ et de $N_D = 8 \cdot 10^{19} \text{cm}^{-3}$. Les mesures de résistivité sur le nanofil de 60 nm révèlent donc un niveau de dopage plus faible que celui espéré d'après les mesures réalisées sur nanofils de 100 nm. Plusieurs causes à cet écart peuvent-être proposées. En premier lieu, comme cela a été montré par Amit et al. [64] pour les nanofils CVD-VLS dopés par le phosphore, une coquille de silicium dopé de type-n peut croître autour du nanofil (comme présenté sur la figure 2.3). Comme les croissances sont terminées par ce dopage, et que pour cette croissance (SiPN0025) les ratios de dopants sont élevés, il est probable qu'une telle coquille existe. Si elle est effectivement présente, alors le dopage de la partie type-p serait fortement réduit et celui de la partie de type-n serait faiblement impacté par rapport au niveau de dopage mesuré sur les nanofils de 100 nm. Il est important de noter ici qu'il y a une différence de plus d'une décade entre le dopage type-n estimé à partir des mesures sur les nanofils de 100 nm et celui mesuré ici. Donc cette importante diminution du niveau de dopage des deux parties source et drain ne semble pas s'expliquer par la présence d'une couche 2D le long des parties intrinsèque et dopée de type-p. De

plus, du HCl est inséré pendant la croissance pour limiter la décomposition des précurseurs hors du catalyseur, donc ce dépôt s'il est présent est minimisé.

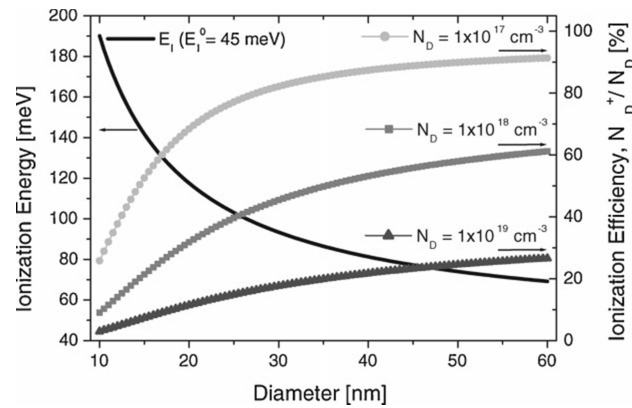


Figure 3.5: Énergie d'ionisation (échelle de gauche) et efficacité d'ionisation (échelle de droite) des impuretés Phosphore en fonction du diamètre du nanofil, avec son énergie d'ionisation dans le silicium massif $E_I^0 = 145\text{meV}$. L'efficacité d'ionisation des impuretés P est donnée pour plusieurs concentrations de dopage N_D et la température ambiante.[104, 105]

La seconde proposition est que les flux de croissances sont injectés de manière homogène et isotrope dans la chambre, donc les atomes dopants sont présents dans la matrice de silicium, mais ils ne sont pas électriquement actifs. On sait que les atomes dopants doivent être présents sur des sites de substitution dans la matrice de silicium et qu'ils soient entièrement ionisés pour participer à la conduction électrique. En revanche comme nous réalisons les croissances de nanofils de 100 nm et de 50 nm dans le même temps, on peut supposer que la probabilité d'incorporation des atomes dopants sur des sites de substitution est la même pour ces deux diamètres. Or l'énergie d'ionisation est dépendante du champ électrostatique du matériau environnant, donc elle dépend du diamètre du nanofil de silicium [104]. Par conséquent, notre deuxième hypothèse pour expliquer le faible niveau de dopage est que les atomes ne sont pas entièrement ionisés. En effet le potentiel électrostatique des impuretés est protégé par les porteurs de charge libre du silicium. Donc lorsque le volume de silicium autour des dopants est réduit, les interactions coulombiennes diminuent plus lentement que dans le silicium massif puisqu'elles ne sont pas écrantées à longue distance. Ainsi, l'énergie d'ionisation des atomes dopants augmentent et l'efficacité d'ionisation des impuretés diminue en fonction du diamètre des nanofils (cf figure 3.5). Donc on peut supposer que la diminution du dopage obtenu est due à la réduction du diamètre du nanofil de silicium. Cette dépendance devrait être moins visible dans les matériaux à forte densité intrinsèque de porteurs comme le germanium par exemple.

En conclusion, nous retirons deux enseignements de ces mesures de dopage : premièrement, nous avons vérifié que les atomes dopants dans les nanofils sont bien insérés et que les niveaux obtenus sont effectivement asymétriques entre le bore et le phosphore. Donc en accord avec la mesure SCM qui nous a permis de vérifier le type de dopant, nous pouvons nous baser sur les conditions de croissance et les mesures de dopage des nanofils de 100 nm de diamètre pour l'estimation du niveau de dopage des fils de même dimension. Deuxièmement,

bien que l'utilisation de nanofil de silicium de diamètre inférieur à 100 nm permettrait d'obtenir un meilleur contrôle électrostatique de la grille sur la partie intrinsèque, nous n'en utiliserons pas dans cette étude. Car nous devrions alors réaliser des recuits pour ioniser les atomes dopants afin d'obtenir des niveaux de dopages identiques aux nanofils de 100 nm, ce qui augmenterait le budget thermique de notre procédé. Or comme nous devons le garder le plus faible possible, nous avons choisi de travailler exclusivement pour les nanofils de silicium avec un diamètre de 100 nm dans la suite de cette étude des TFETs à base de nanofil de ce matériau.

3.1.3 La prise de contact sur les nanofils :

Dans le début de ce chapitre, nous avons abordé rapidement un problème de variabilité des propriétés électriques des nanofils. Ces problèmes proviennent de deux aspects : le nanofil lui-même qui peut être de mauvaise constitution, comme cela a été montré dans l'article de Wang et al. [106] et la prise de contacts électriques sur les nanofils. Pour sonder cette variabilité, nous avons réalisé de nombreux échantillons de mesure deux pointes pour les trois structures proposées dans le tableau 3.1. Nous avons reporté les résultats obtenus en fonctions de la fréquence de leur apparition sur les figures 3.7 a), b) et c). Les dispositifs de mesure deux pointes sont en fait les premières étapes de la fabrication d'un TFET, avec la métallisation des zones source et drain sur le nanofil comme présenté dans le paragraphe 2.2.2.2. Ces mesures électriques sont réalisées avant que les dispositifs ne subissent un traitement thermique, c'est ce que nous désignons par le terme « avant traitement ». Le traitement peut être le recuit de siliciuration ou le dépôt d'oxyde, car on chauffe alors l'échantillon à 400 °C ou à 250 °C respectivement. Ces températures font partie de la plage où une phase siliciure peut-être obtenue [107], et le dépôt d'oxyde modifie l'environnement électrostatique du nanofil. Il est important de regarder cette caractéristique avant un traitement pour obtenir le nombre de nanofils dont la courbe I-V correspond a une diode p-i-n, ce qui est synonyme pour nous d'une incorporation efficace du dopage.

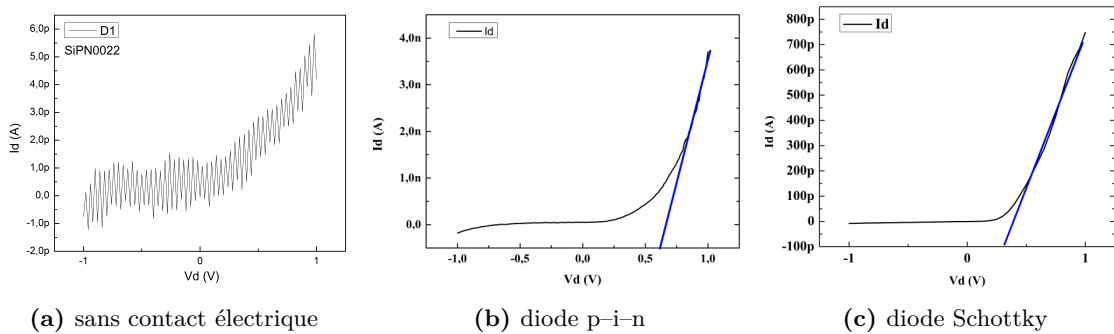


Figure 3.6: Exemples de caractéristiques électriques typiques obtenues

Ces mesures deux pointes donnent trois genres de caractéristiques électriques, dont des exemples typiques sont montrés sur la figure 3.6. La mesure a) de la figure 3.6 est l'exemple où la prise de contact électrique n'a pas fonctionné, référencée par « sans contact électrique ». Les deux autres caractéristiques électriques obtenues sont une caractéristique de diode

p-i-n et de diode Schottky, respectivement en b) et c) de la figure 3.6. La différenciation entre ces deux types de diode est réalisable à partir de leurs caractéristiques électriques. En effet, la différence entre celles-ci est la valeur de leur tension de seuil l'on peut observer sur leurs caractéristiques $I_d(V_d)$ en échelle linéaire grâce aux droites bleues. Pour la diode p-i-n, cette tension seuil est la différence de potentiel aux bords de la zone de charge d'espace sans tension appliquée. Elle est comprise entre 0,6 V et 0,9 V pour une jonction réalisée en silicium, alors que pour du germanium, elle varie entre 0,2 V à 0,6 V [108, 11]. Pour la diode Schottky, la tension seuil est le potentiel de contact du métal avec le semiconducteur, qui dépend de ce dernier et du métal utilisés ainsi que du niveau de dopage. Pour des contacts en nickel, comme dans notre étude, elle vaut environ 0,3 V.

La caractéristique nommée « sans contact électrique » représente l'absence de contact électrique, qui peut être due à un défaut de retrait de l'oxyde natif autour du fil, à des résidus de résine qui sont restés malgré le plasma Oxygène réalisé ou encore à un nanofil avec un dopage non électriquement actif. Quand nous avons obtenu ce type de caractéristique, nous avons réalisé un recuit sur ces échantillons. Si l'échantillon n'a toujours pas de caractéristique électrique du type p-i-n ou diode Schottky, et que le dispositif n'a pas été endommagé par le traitement (nous avons calibré la température et le temps de recuit sur ces échantillons), c'est qu'il y a un problème avec les contacts du nanofil. Si au contraire, après recuit on obtient une caractéristique de type Schottky, alors le dopage n'est certainement pas actif. En revanche, si la mesure révèle un comportement de diode p-i-n, nous pouvons supposer que les contacts formaient une barrière Schottky trop importante pour permettre le passage du courant.

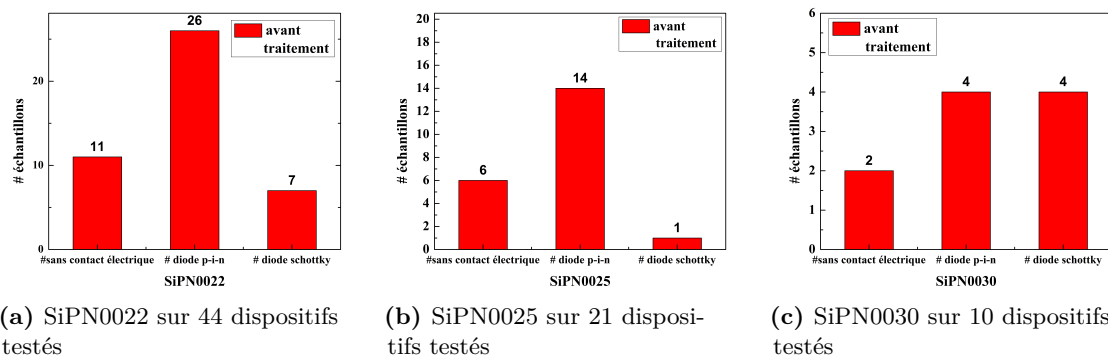


Figure 3.7: Types de caractéristiques électriques obtenues par série de nanofil

Comme cela est présenté sur les diagrammes de la figure 3.7, nous avons principalement obtenu une caractéristique de diode p-i-n sur les échantillons SiPN0022 et SiPN0025 (59% des mesures sur SiPN0022 et 66% pour SiPN0025). En revanche, nous avons autant de caractéristiques de diode p-i-n que de diode Schottky sur les nanofils SiPN0030, ce qui peut être dû au faible niveau de dopage de la partie drain qui amènerait une trop grande résistance de contact. Nous voyons qu'il y a entre 20% et 28% d'échec de l'intégration de nanofil unique sans traitement thermique (échec de la prise de contact).

3.2 Effet du niveau de dopage sur les performances entre TFET à base de nanofil de silicium.

Nous allons présenter dans cette partie l'étude réalisée sur l'influence du dopage des parties source et drain sur les performances des tunnel FET. Pour ce faire, nous avons synthétisé trois nanofils avec différents niveaux de dopage, représentés schématiquement sur la figure 3.8. Nous allons montrer les résultats obtenus sur ces nanofils de diamètre d'environ 100 nm et de même oxyde de grille.

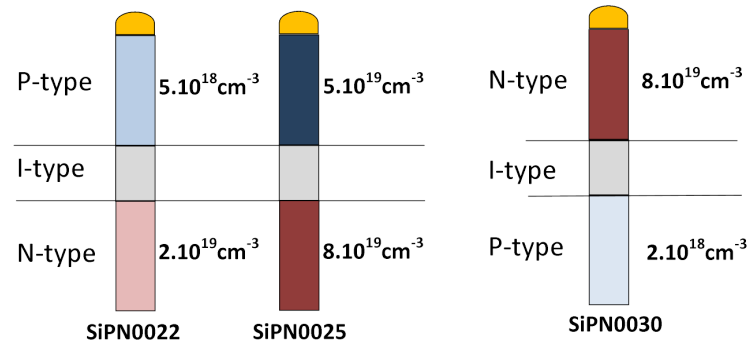


Figure 3.8: Schéma des structures des différents nanofils p-i-n en silicium.

3.2.1 Observation des caractéristiques de diode avant l'utilisation en TFET.

Avant d'effectuer des mesures en mode TFET, nous devons nous assurer que chaque échantillon a bien une caractéristique de diode, de sorte que la tension drain appliquée en mode transistor soit la tension bloquante de la diode. Sans cette vérification, nous ne pouvons pas parler de transition tunnel bande-à-bande, car de l'effet thermoionique pourrait intervenir dans nos mesures et augmenter artificiellement le niveau de courant atteint. En effet si la diode n'est pas bloquante, des mécanismes de diffusion et de conduction par saut pourraient intervenir dans nos dispositifs. Il est possible à cause des mécanismes de croissance, qu'une diode ne soit pas bloquante, si un dépôt 2D de silicium dopé n recouvre les parties i et p du nanofil. Le seul moyen rapide que nous avons pour estimer l'existence d'une telle couche et son impact sur la conduction dans le nanofil est d'observer le niveau de courant de la diode en polarisation inverse. Cela signifie également qu'il n'est pas possible d'obtenir un TFET normalement ouvert contrairement au MOSFET, car nous n'avons pas dans cette étude d'hétérostructure à un gap brisé (« broken-gap » en anglais). C'est pourquoi nous commençons par présenter les courbes I_d - V_d de nos dispositifs.

Tout d'abord nous présentons le Tunnel FET à base de nanofil SiPN0022 dont le niveau de dopage de la source $N_D = 2 \cdot 10^{19} \text{cm}^{-3}$ est le plus faible, par rapport aux deux autres croissances (voir schéma 3.8). Sur la figure 3.9, nous avons représenté les deux caractéristiques de diode, la première en noir a été mesurée juste après la réalisation des contacts drain-source et la seconde en rouge, après le dépôt d'oxyde de grille à 250 °C. En insert, nous présentons les courbes $\ln(I_{DS})$ en fonction de la tension drain de ces mesures d'où nous avons extrait le facteur d'idéalité (η) de la diode grâce à l'équation du courant

suivante :

$$J \simeq \exp(qV/\eta k_B T)$$

Ce facteur η est un indicateur des mécanismes de conduction dominant dans les diodes. En effet, $\eta = 1$ lorsque c'est un courant de diffusion et $\eta = 2$ pour un courant de génération-recombinaison. Ce facteur est compris entre 1 et 2, si les deux courants sont du même ordre de grandeur. Mais, on peut trouver sur les caractéristiques expérimentales, $\eta > 2$ si la résistance série du schéma équivalent de la diode réelle est très importante. Cette résistance peut-être due à une résistance d'accès, mais aussi à une densité d'états d'interface très importantes.

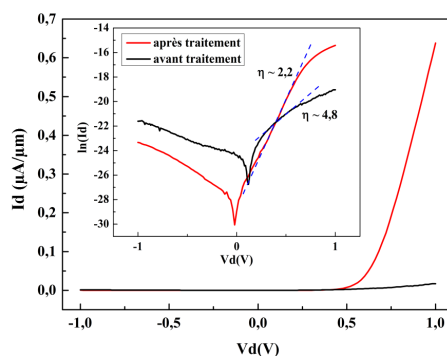


Figure 3.9: Dispositif SiPN0022, caractéristiques $I_{DS}(V_{DS})$ après la réalisation des contacts Drain-Source en noir, et après dépôt de 15 nm Al_2O_3 par ADL à 250 °C en rouge. En insert est présenté la courbe de $\ln(I_{DS})$ en fonction de V_{DS} .

Sur la caractéristique électrique de la diode SiPN0022, figure 3.9, nous constatons que suite au dépôt d'oxyde, le facteur d'idéalité de la diode et le niveau de courant de celle-ci ont été améliorés. En effet, avant ce traitement, η était au dessus de 4,8, ce qui signifie que la résistance série du schéma équivalent, est bien supérieure aux résistances dues aux jonction p-i et i-n. Donc comme ces deux paramètres ont été améliorés par le dépôt d'oxyde, cela signifie que celui-ci a dû passiver la surface du nanofil, ce qui diminue les pertes de conduction en surface. Il est également possible que grâce à la température de dépôt, la formation de siliciure de nickel a pu être amorcée [107], ce qui diminue la barrière Schottky des contacts métalliques. Donc, bien qu'aucune phase de siliciuration n'a été observée par analyse EDX, on peut supposer qu'elle existe, peut-être sous les contacts métalliques. Après le dépôt d'oxyde, le niveau de courant de la diode en polarisation inverse est compris entre $2,6 \cdot 10^{-13}$ A à $V_{DS} = 0$ V et $7,3 \cdot 10^{-11}$ A à $V_{DS} = -1$ V, ce qui est suffisamment faible pour assurer la fermeture du TFET pour les tensions drain négatives, et également nous conforter sur la structure p-i-n qui ne semble pas être perturbée par un dépôt 2D.

La deuxième structure p-i-n étudiée ici est celle du nanofil SiPN0025, dont les niveaux de dopages sont les plus importants pour les parties n et p que l'on peut utiliser sur une hétérojonction, avec une source dopée à $N_D = 8 \cdot 10^{19} \text{cm}^{-3}$. Comme pour l'échantillon SiPN0022, on observe que sur la figure 3.10 que le niveau de courant de la diode en

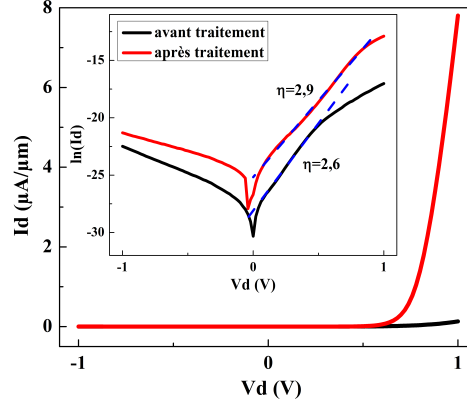


Figure 3.10: Dispositif SiPN0025, caractéristiques de diode après la réalisation des contacts Drain–Source en noir, et après dépôt de 15 nm Al_2O_3 par ADL à 250 °C en rouge. En insert est présenté la courbe de $\ln(I_d)$ en fonction de V_{ds} .

mode passant est amélioré après traitement. Cependant, sur l'insert de la figure 3.10, le facteur d'idéalité de la diode SiPN0025 après le dépôt d'oxyde à 250 °C est dégradé par rapport à la mesure réalisée avant traitement. Cette dégradation du facteur d'idéalité a été observée sur environ 30% des échantillons testés de cette croissance. Le niveau de courant de la diode bloquante est compris entre $2,56 \cdot 10^{-12} \text{ A}$ à $V_{DS} = 0 \text{ V}$ et $5,5 \cdot 10^{-10} \text{ A}$ à $V_{DS} = -1 \text{ V}$ après le dépôt d'oxyde de grille. Au vue de ces résultats, nous supposons que l'augmentation du courant de la diode en polarisation directe est probablement dû à la diminution de la barrière Schottky entre le métal et le nanofil. Maintenant, l'augmentation de η après le dépôt d'oxyde, nous laisse supposer que le dépôt d'oxyde a induit des centres de recombinaison en surface du nanofil qui étaient passivés avec la présence de l'oxyde natif. Donc l'état de surface de ce nanofil n'est pas optimale, bien que le niveau de courant de la diode bloquante reste suffisamment faible pour que l'on puisse utiliser ce nanofil dans une configuration de Tunnel FET en tension drain positive.

La dernière structure de notre étude de l'influence du niveau de dopage sur les performances des TFETs est obtenue grâce à la croissance numéro SiPN0030. Comme présentée sur le schéma 3.8, le dopage des parties n et p est très asymétrique. Le niveau de dopage de la source est le même que pour la structure SiPN0025 et celui du drain est plus faible que celui utilisé pour la structure SiPN0022. Nous détaillerons le choix des niveaux de dopants lors de la présentation des caractéristiques de transfert sur cette croissance. Mais comme nous l'avons décrit dans la section 3.1.3, la prise de contact sur ces nanofils n'étaient pas optimum, puisque nous avons un nombre important de caractéristiques de diode Schottky. C'est pourquoi, nous avons réalisé un recuit de siliciuration sur ce dispositif. Nous pouvons donc observer sur la figure 3.11 trois caractéristiques $I_d(V_d)$. La première obtenue après la métallisation des contacts en trait continu noir. Elle présente une résistance d'accès importante, bien que le facteur d'idéalité de la diode est de 2,1. La seconde, en trait vert, est la mesure réalisée après le recuit de siliciuration à 400 °C pendant 15s. Elle présente une

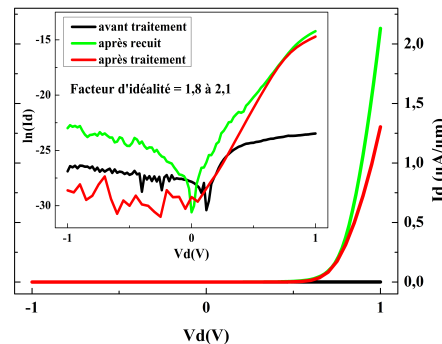


Figure 3.11: Dispositif SiPN0030, caractéristiques de diode après la réalisation des contacts Drain–Source en noir, après recuit des contacts à 400 °C pendant 15s en vert, et enfin après le dépôt de 4 nm Al_2O_3 par ADL à 250 °C en rouge. En insert est présenté la courbe de $\ln(I_d)$ en fonction de V_{ds} .

importante augmentation du niveau de courant en polarisation directe. Donc ce traitement a été bénéfique par la diminution de la barrière Schottky des contact, mais le facteur d'idéalité est dégradé par ce traitement et vaut environ 3. Enfin la dernière courbe en rouge montre la mesure réalisée après le dépôt d'oxyde à 250 °C pendant 15 minutes. On observe une légère diminution du niveau de courant, mais le facteur de la diode est amélioré et vaut 1,8. Cette amélioration est certainement due à la passivation de la surface du nanofil par l'oxyde de grille ainsi déposé. Le niveau de courant de la diode bloquante est compris entre $5,2 \cdot 10^{-14} \text{ A}$ à $V_{DS} = 0 \text{ V}$ et $1,1 \cdot 10^{-10} \text{ A}$ à $V_{DS} = 1 \text{ V}$ après le dépôt d'oxyde de grille.

3.2.2 Les caractéristiques de transfert des Si NW TFETs pour différents niveaux de dopage.

Nous commençons la comparaison des performances des TFETs par l'analyse de la caractéristique de transfert de l'échantillon SiPN0022 à température ambiante. Ce dispositif a été réalisé avec un oxyde de grille de 15 nm de Al_2O_3 et une grille métallique en aluminium. Sur la figure 3.12 nous avons représenté la courbe de transfert à $V_P = -0,5 \text{ V}$. On observe tout d'abord que nous avons un P–TFET. Nous rappelons que les TFETs suivent la même norme que les MOSFETs, à savoir qu'un P–TFET devient passant lorsque l'on applique une tension de grille négative. Pour toutes les mesures de caractéristiques de transfert, nous avons toujours vérifié que le niveau de courant I_{DS} et celui de la grille étaient indépendants l'un de l'autre. Donc que le courant I_{DS} n'était pas artificiellement augmenté par des courants de fuite provenant de l'oxyde de grille. Le courant I_{on} est environ de $1,9 \cdot 10^{-3} \mu\text{A} \cdot \mu\text{m}^{-1}$ ($6 \cdot 10^{-10} \text{ A}$) à $V_{GS} = -2 \text{ V}$ et $V_P = -0,5 \text{ V}$ et le SS est de 329mV/dec. On peut observer que ce dispositif n'est pas ambipolaire grâce à l'asymétrie du dopage entre la partie drain et la partie source.

Le ratio I_{on}/I_{off} de 10^3 montre le bon contrôle électrostatique de la grille sur la jonction n–i. La valeur du SS est relativement importante, mais ceci peut-être dû à l'épaisseur de l'oxyde de grille (15 nm), à un possible étalement de la jonction n–i (dû à un effet réservoir

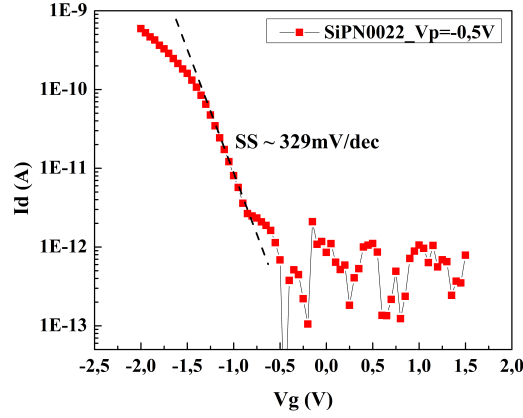


Figure 3.12: Caractéristique de transfert à $V_P = -0,5V$ d'un TFET Silicium SiPN0022 avec 15nm de Al_2O_3 est représentée par les carrés rouges. La ligne pointillée permet de montrer la valeur du SS qui est de 329mV/dec

du catalyseur [64]) et à une densité de niveaux de pièges (D_{it}) à l'interface oxyde–nanofil non-optimum.

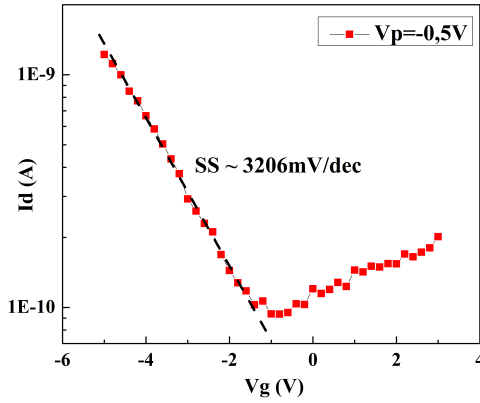


Figure 3.13: Caractéristique de transfert à $V_P = -0,5V$ d'un TFET Silicium SiPN0025 avec 15 nm Al_2O_3 , en carré rouge. Le SS est de 3206mV/dec.

Nous avons réalisé un TFET avec les mêmes étapes de fabrications sur un nanofil SiPN0025, pour mettre en évidence l'influence du niveau de dopage de la structure p–i–n sur les performances des dispositifs. La caractéristique de transfert sur ce dispositif, à $V_P = -0,5V$ et à température ambiante, est représentée sur la figure 3.13. Le courant I_{on} est d'environ de $0,004 \mu A \mu m^{-1}$ (1,22 nA) à $V_{GS} = -5 V$ et $V_P = -0,5 V$. La valeur du SS est très importante (3206mV/dec), car elle est multipliée par 10 par rapport au dispositif SiPN0022 que nous venons de présenter. Or ces deux échantillons ont subi exactement les mêmes étapes d'intégration. Mais d'après la figure 3.10, nous avons supposé qu'il y avait un D_{it} important

au vu de l'augmentation du facteur d'idéalité alors que les résistances d'accès semblent avoir été améliorées, ce qui peut augmenter de la valeur du SS. Une telle augmentation du nombre d'état d'interface entre le dispositif SiPN0022 et celui-ci ne peut pas s'expliquer par des variations standards du procédé d'intégration. Donc nous supposons que cela provient de l'étape de croissance des nanofils SiPN0025. En effet, il est possible que malgré la présence d'HCl pendant la croissance, celui-ci n'ait pas suffi à supprimer toute décomposition des précurseurs le long des flancs du nanofils et qu'une coquille 2D de silicium dopé au bore soit présente autour de la partie intrinsèque, comme cela a été rapporté dans la littérature [109, 79]. Mais l'épaisseur de cette couche 2D doit-être suffisamment faible pour avoir une résistance supérieure aux hétérojonctions et ne pas supprimer le comportement de diode p-i-n, donc elle est sûrement non-continue. Au vu des caractéristiques de diode (figure 3.10) et de TFET (figure 3.13) obtenues, nous supposons l'existence de coquilles de silicium dopé sur le nanofil. De plus, le ratio I_{on}/I_{off} est seulement de 10 sur une plage de 5 V de tension de grille, ce qui montre que le contrôle électrostatique de la grille sur la jonction entre la partie source et la partie intrinsèque du nanofil est difficile. En comparaison, pour la même épaisseur et oxyde de grille, le TFET SiPN0022 a présenté un ratio I_{on}/I_{off} de 10^3 .

En conclusion, l'augmentation du dopage de chaque partie du nanofil SiPN0025 a induit une augmentation du niveau de courant I_{off} du TFET. En effet il est de l'ordre de 10^{-12} A pour le dispositif SiPN0022 et de 10^{-10} A pour le SiPN0025. De plus, il y a probablement des coquilles de silicium dopé le long de ces nanofils qui seraient la cause du manque de contrôle électrostatique sur la partie intrinsèque. Avec l'augmentation du dopage de la source, nous supposons obtenir un niveau de courant important, mais les conditions de croissance ne permettent pas pour le moment d'obtenir une structure p-i-n satisfaisante pour travailler avec un fort niveau de dopage sur les deux parties n et p.

Comme les croissances des hétérojonctions en silicium présentées jusqu'à présent sont terminées par la partie type p du nanofil, donc dopée au bore, nous avons voulu observer si des coquilles de silicium dopé étaient également présentes lorsque l'on termine la croissance par un dopage au phosphore, donc la partie type n. Par conséquent, nous avons utilisé le même dopage que la partie n du nanofil SiPN0025 pour terminer la croissance de la structure SiPN0030 (comme représenté sur le schéma 3.8). Mais nous avons dû abaisser le niveau de dopage de la partie p, car le démarrage d'une croissance par un fort ratio de bore inhibe la croissance des nanofils à cause du dépôt 2D non-catalysé. Donc le niveau de dopage de la partie p est pour cette structure de $N_A = 2 \cdot 10^{18} \text{cm}^{-3}$. Cependant, il s'est avéré que les TFET réalisés avec ces nanofils avaient un niveau de courant très faible, et nous nous sommes rendu compte que sans recuit des contacts nous n'auront pas de TFET avec des performances égales à ceux obtenus sur SiPN0022. Cependant, malgré les recuits, les performances de ces transistors étaient plutôt faible, surtout par rapport au SS qui était du même ordre de grandeur que le dispositif SiPN0025. Par conséquent, nous avons supposé que la dégradation de la caractéristique de transfert provenait également de la présence de coquille de silicium dopé phosphore cette fois.

Nous avons essayé d'améliorer le contrôle électrostatique de la grille sur la jonction tunnel, et pour ce faire, nous avons diminuer l'épaisseur de l'oxyde de grille en déposant environ 4 nm d'alumine ($EOT=1,5 \text{ nm}$, au lieu de 15 nm ($EOT=5,5 \text{ nm}$)).

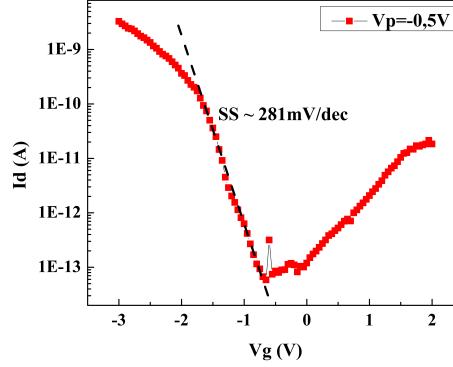


Figure 3.14: Caractéristique de transfert du TFET SiPN0030 avec un EOT de 1,5 nm d'oxyde de grille représentée par les carrés rouges, et le courant de grille en ligne continue bleue.

La meilleure caractéristique de transfert du dispositif SiPN0030 est présentée en figure 3.14. Elle a été réalisée à $V_P = -0,5$ V, le courant $I_{on} = 0,0104 \mu A \mu m^{-1}$ (3,3 nA) à $V_{GS} = -3$ V et le SS vaut 281mV/dec. La valeur du SS est plus faible que celle obtenue pour le dispositif SiPN0022 (329mV/dec), ce qui révèle un meilleur contrôle électrostatique sur la partie intrinsèque, certainement grâce à la diminution de l'épaisseur de l'oxyde. Mais bien que l'on ait amélioré la valeur du SS de ce dispositif, elle reste élevée au vue de l'épaisseur d'oxyde utilisée. Le niveau de courant du dispositif SiPN0030 à $V_{GS} = -2$ V est de $0,0012 \mu A \mu m^{-1}$ (0,36 nA) ce qui est légèrement plus faible que le niveau de courant obtenu pour le dispositif SiPN0022 pour les mêmes tensions appliquées. Ceci est peut-être dû à un étalement de la jonction n-i à cause du recuit de siliciuration et du dépôt d'oxyde, ou bien à cause du dopage de la partie drain qui serait trop faible et créerait une résistance à la diffusion des porteurs entre la partie intrinsèque et la partie drain.

Table 3.2: Tableau récapitulatif des échantillons et des mesures réalisées pour les différents niveau de dopage.

Echantillon	Oxyde	EOT (nm)	I_{on} à $V_{GS} = -2$ V et $V_P = -0,5$ V	SSmV/dec
SiPN0022	Al_2O_3	5,5	$1,9 \cdot 10^{-3} \mu A/\mu m$	329
SiPN0025	Al_2O_3	5,5	$1,4 \cdot 10^{-4} \mu A/\mu m$	3206
SiPN0030	Al_2O_3	1,5	$1,2 \cdot 10^{-3} \mu A/\mu m$	281

Les caractéristiques de transfert présentées ici sur les trois nanofils de 100 nm de diamètre, sont typiques des résultats obtenus sur ces échantillons. Nous pouvons donc en conclure que pour le moment, avec notre technique de croissance des hétérojonctions, la meilleure structure p-i-n est donnée par le nanofil SiPN0022, car nous n'avons pas observé de présence de coquille de silicium 2D dans les caractéristiques électriques, et le dopage de ces nanofils semblent efficace au vu des mesures deux pointes réalisées. Par conséquent, nous continuerons notre étude des propriétés électriques des Tunnel FET sur les nanofils de cette croissance.

3.3 L'analyse des mécanismes de l'effet tunnel

Au vue de ces premiers résultats, il est important de déterminer les mécanismes de conduction (diffusion, conduction par saut, effet thermoïonique) au sein du dispositif. L'effet tunnel bande à bande indirect ou direct peut être différencié des autres mécanismes de conduction par les comportements suivants :

- Le $\log(I_{DS}/V_{GS}^2)$ doit avoir une dépendance linéaire en $1/V_{GS}$ pour les fortes valeurs de tension de grille.
- la caractéristique de transfert des Tunnel FET doit suivre le modèle de Kane, donc on peut approcher leur comportement par la simulation basée sur ce modèle.
- une indépendance du courant Ion et de la pente sous le seuil à basse température.
- augmentation du niveau de courant pour des températures supérieures à l'ambiante.

Nous proposons d'étudier le mécanisme d'effet tunnel sur un échantillon SiPN0022, dont l'oxyde de grille est le dioxyde d'hafnium d'une épaisseur de 15 nm.

La première particularité des TFETs est la dépendance linéaire de $\log(I_{DS}/V_{GS}^2)$ en fonction de $1/V_{GS}$. Nous avons tracé ces courbes sur la figure 3.15, où l'on peut constater que pour chaque tension de drain, le courant I_{DS} a une dépendance linéaire en $1/V_{GS}$ pour des tensions de grille supérieures à 1,6 V. Cette dépendance est liée au coefficient B du modèle de Kane, dont l'expression est rappelée au bas de la figure 3.15. En remplaçant l'amplitude du champ électrique au sein de la jonction tunnel, noté $|E|$, par la tension de grille, nous faisons une grossière approximation, mais nous souhaitons seulement observer le comportement linéaire en $1/V_{GS}$ et non extraire la valeur du facteur B par cette technique.

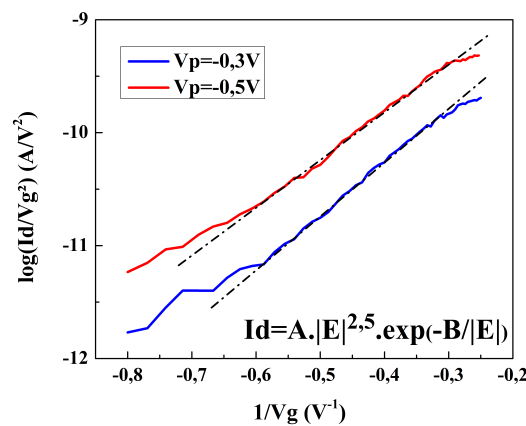


Figure 3.15: Courbe $\log(I_{DS}/V_{GS}^2)$ en fonction de $1/V_{GS}$ du dispositif P-TFET SiPN0022 avec 15 nm d'HfO₂ pour -0,3 V en bleue et -0,5 V en rouge de tension de drain.

On observe que le coefficient de proportionnalité varie avec la tension de drain. Cette variation est due au couplage entre le potentiel de la grille et celui du drain, que l'on peut facilement observer depuis la figure 3.16(a). Cette figure représente le potentiel de surface du TFET obtenu à $V_{GS} = -1$ V pour différentes valeur de V_{DS} en fonction de la position, grâce à notre modèle de simulations des caractéristiques électriques des TFETs. Pour cette

simulation seul le canal est représenté les parties source et drain étant respectivement du côté droit et du côté gauche du canal. Ce couplage induit une dépendance de la jonction source-canal (donc du courant tunnel) en fonction de la tension de drain pour les faibles valeurs de tension. Ce phénomène décrit par [51, 110] est appelé la superlinéarité dans les caractéristiques I_{DS} - V_{DS} , et cela leur donnent leurs similarités avec celles des MOSFETs en régime ohmique. La superlinéarité est représentée sur la figure 3.16(b) où les courbes expérimentales I_{DS} - V_{DS} ont été obtenues sur notre échantillon pour différentes valeurs de V_{GS} .

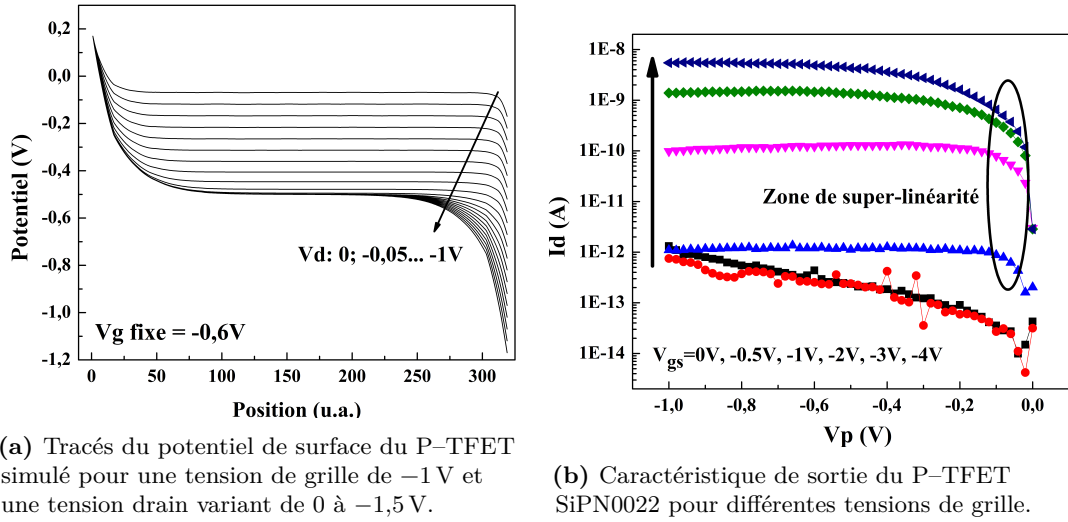
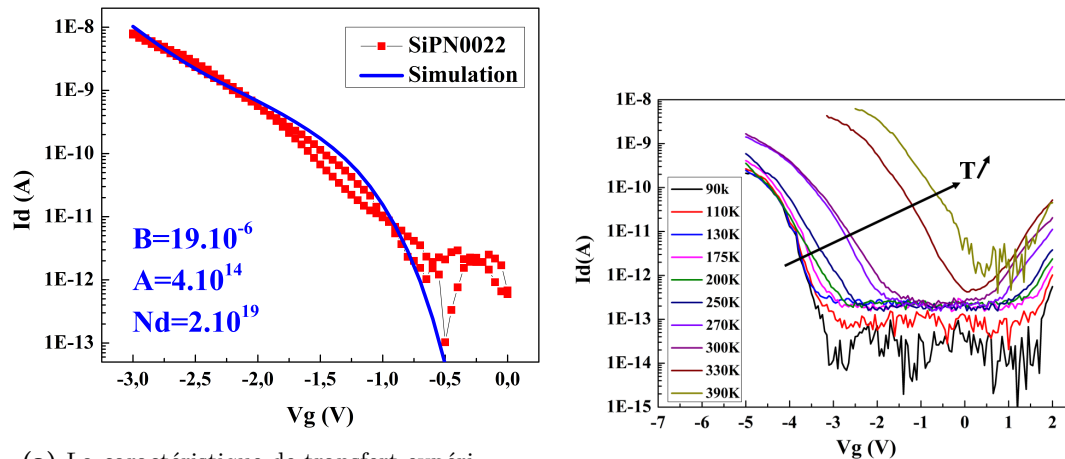


Figure 3.16: Représentation du couplage entre le potentiel de grille et celui du drain.

Ainsi notre dispositif suit bien le comportement du modèle de Kane à fort champ électrique. Maintenant, il est intéressant de voir si son comportement obéît à ce modèle aussi pour les faibles tensions de grille et si l'on peut retrouver les coefficients A et B du modèle de Klaassen pour le silicium. Pour observer cela, nous avons simulé sa caractéristique électrique de transfert grâce au modèle de simulation présenté dans la partie 2.3.3 et nous le comparons aux données expérimentales sur la figure 3.17(a).

On observe que la courbe simulée est en bon accord avec la caractéristique de transfert mesurée sur cette échantillon. Les données de simulation ont été obtenues avec les coefficients A et B du modèle de Klaassen donnés pour le silicium, c'est-à-dire $A = 4 \cdot 10^{14} \text{cm}^{-1/2} \text{V}^{-5/2} \text{s}^{-1}$ et $B = 19 \cdot 10^6 \text{Vcm}^{-1}$. Nous avons utilisé le niveau de dopage moyen de la partie source du nanofil SiPN0022 qui est de $2 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$. Enfin nous avons dû insérer une densité de défauts $D_{it} = 5 \cdot 10^{12} \text{eV}^{-1} \cdot \text{cm}^{-2}$ pour obtenir un niveau de courant similaire aux données expérimentales. Bien qu'il y ait un bon accord entre les données expérimentales et la simulation, celle-ci présente une légère variation avec la mesure pour les faibles tensions de grille. En effet, notre modèle est une simplification de la réalité, car nous ne prenons pas en compte la conduction par le mécanisme de « trap-assisted tunneling », ni la conduction de génération-recombinaison SRH de la diode en polarisation inverse, mais seulement par la transition tunnel bande-à-bande indirecte. Donc tant que le courant BBT indirect n'est

pas supérieur à celui de la diode en inverse, nous ne pouvons pas accorder notre simulation avec les données expérimentales. C'est pourquoi la courbe simulée ne correspond pas aux données expérimentales avant une tension de grille d'environ $-0,7$ V. Ensuite on observe une légère variation entre le comportement à bas champ de la simulation et des données expérimentales. Cet écart peut s'expliquer par l'étalement de la jonction n-i, supposée abrupte dans notre simulation ou le mécanisme de conduction tunnel assistée par des niveaux de pièges.



(a) La caractéristique de transfert expérimentale (tracé en carrés rouges) et la simulation de cette caractéristique (ligne bleue) à $V_P = -0,5$ V par le modèle de Klaassen.

(b) Caractéristiques de transfert mesurées à des températures entre 90 K et 390 K avec une tension de drain de $V_P = -0,5$ V.

Figure 3.17: Courbes de transfert expérimentales et simulée en échelle semi-logarithmique d'un P-TFET composé d'un nanofil SiPN0022 d'environ 100 nm de diamètre et de 15 nm de HfO_2 de diélectrique de grille.

Pour identifier ce mécanisme, nous avons mesuré les caractéristiques de transfert à différentes températures. Ces mesures ont été réalisées sur une station cryogénique SUSS MICROTEC pour substrat 8 pouces afin d'éviter tout problème liés à une mise en boîtier. La station de mesure est descendue à 77 K grâce à un refroidissement à l'azote liquide puis la température de l'échantillon est remontée pas à pas entre chaque mesure de transfert. La température est régulée par un chauffage le temps de la mesure. Grâce à celui-ci, nous avons pu mesurer à basse température, mais aussi jusqu'à 390 K qui est la température maximale que l'on peut atteindre sur la station de mesure.

Les courbes de transfert obtenues pour une tension de drain de $-0,5$ V sont représentées sur la figure 3.17(b). De ces courbes, nous avons extrait la valeur du courant I_{on} à $V_{GS} = -5$ V et la valeur de l'inverse de la pente sous le seuil (SS) la plus faible sur une décade en fonction de la température, comme présentés sur les courbes a) et b) de la figure 3.18. Grâce à ces courbes, on observe que le courant I_{on} et le SS sont relativement constants pour une température inférieure à 150 K. Ceci est la signature de l'effet tunnel bande à bande indirect, aussi appelé transition tunnel assistée par les phonons, où le niveau de courant et la valeur du SS dépendent du nombre de phonons accessibles pour satisfaire la conservation de la quantité de mouvement des porteurs. On constate que le SS augmente

après cette température bien que le niveau de courant I_{on} reste constant jusqu'à 250 K. La dégradation du SS après 150 K peut-être due aux phonons environnementaux qui sont activés à partir de cette température. En revanche l'augmentation du niveau de courant par ce mécanisme n'est pas significative jusqu'à la température de 250 K. Après celle-ci, la forte dépendance en température du courant I_{on} et du SS ne peut pas s'expliquer par la seule dépendance en température de la valeur du gap et de la quantité de phonons accessibles. Donc une conduction tunnel assistée par pièges (TAT) thermiquement activée doit s'ajouter au mécanisme de transition BBT indirect, car le niveau de courant et le SS augmente fortement avec la température. Au vu de ce comportement, nous pouvons exclure la conduction thermoionique des transistors MOSFET car par ce mécanisme, le niveau de courant diminue lorsque l'échantillon est chauffé au dessus de la température ambiante, à cause de l'agitation thermique.

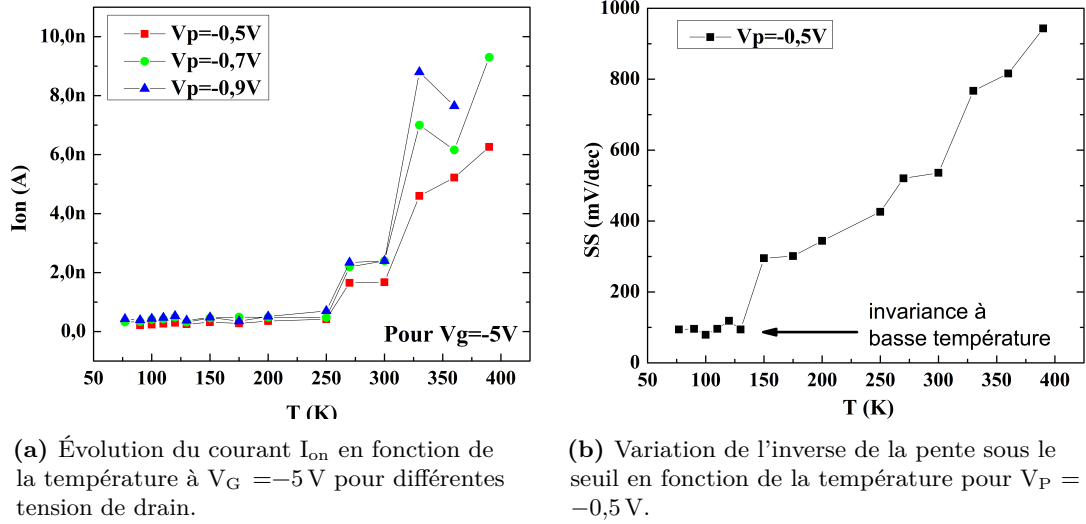


Figure 3.18: Influence de la température sur les propriétés électriques d'un TFET.

Les niveaux de pièges impliqués dans la conduction TAT peuvent être des pièges à l'interface entre le silicium et l'oxyde de grille, mais aussi des pièges dus à l'or présent dans les nanofils. Dans la simulation présentée sur la figure 3.17(a), nous avons utilisé une densité de défauts d'interface de $D_{it} = 5 \cdot 10^{12} \text{eV}^{-1} \cdot \text{cm}^{-2}$, mais celle-ci n'intervient dans la simulation que pour l'écrantage du champ électrique dans la structure, car il n'y a pas de conduction par TAT. Donc ce n'est pas grâce à la simulation, que nous pourrions sonder l'importance de paramètre sur les performances des TFETs. La seconde cause de pièges impliqués dans la conduction TAT, et en particulier ceux à la jonction n-i sont probablement dus à l'or qui est probablement présent dans la matrice de silicium dû au mécanisme de croissance VLS. Il est connu que cette impureté métallique peut créer des niveaux de piège dit profond, c'est-à-dire des sites privilégiés pour la conduction TAT. Cette conduction existe aussi dans les diodes tunnel p-n et Sah [111] a montré dans une étude sur les diodes Esaki p-n en silicium dopé à l'or que ces deux natures de pièges sont à prendre en compte pour expliquer l'impact de ce mécanisme sur la conduction dans ces dispositifs qui sont très proches des TFETs. Dans cette étude, les densité d'or étudiées étaient comprises entre $10^{15} \text{at} \cdot \text{cm}^{-3}$

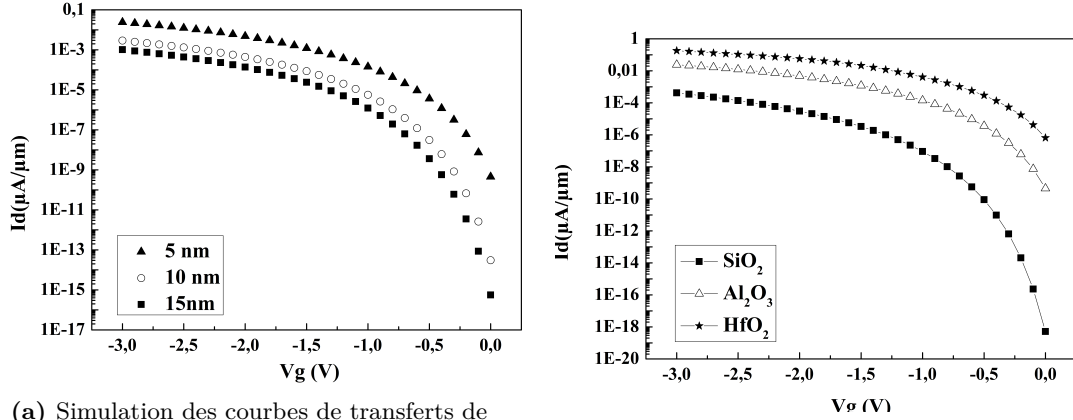
et $10^{17} \text{at} \cdot \text{cm}^{-3}$. La densité d'or contenue dans les nanofils de silicium crus par VLS est rarement déterminée dans la littérature. Cependant, il existe une étude présentant cette densité, réalisée par Allen et al. [56], où la densité d'or dans les nanofils VLS de Si a été estimée entre $5 \cdot 10^{17}$ et $1,5 \cdot 10^{18} \text{at} \cdot \text{cm}^{-3}$ par une analyse de mesure par sonde atomique couplée à une mesure de spectroscopie de masse. Donc les densité prises en compte sont suffisamment proches pour dire que l'étude de Sah est valable pour les nanofils de silicium.

En conclusion, grâce à ces mesures et à la simulation, nous avons montré que la conduction électrique dans notre dispositif est gouvernée par deux mécanismes de conduction, la transition tunnel assistée par les phonons et celle assistée par les pièges. La conduction par TAT est probablement due aux états d'interface Si/oxyde et aux atomes d'or présents dans les nanofils. Le mode de conduction que nous souhaitons favoriser étant la BBT assistée par les phonons, nous avons besoin d'améliorer le contrôle électrostatique de la grille sur le canal pour que ce phénomène soit dominant pour des tensions de grille faibles. Pour cela, nous allons utiliser des oxydes plus fins et des constantes diélectriques différentes dans la section suivante.

3.4 Effets de l'amélioration du couplage électrostatique et de la siliciuration.

Pour améliorer le contrôle électrostatique de la grille sur la jonction tunnel n-i, nous avons étudié l'impact de l'oxyde de grille et de la ségrégation des dopants par un recuit [112] sur les performances des TFETs. Tout d'abord, nous aborderons l'influence des paramètres du diélectrique de grille. Sur la simulation des courbes $I_{DS}-V_{GS}$ à $V_{DS} = -0,5 \text{ V}$, figure 3.19(a), on observe que la diminution de l'épaisseur d'alumine influence le niveau de courant et le SS des TFETs, grâce à l'amélioration du contrôle électrostatique de la grille sur la jonction n-i. Bien qu'expérimentalement, la réduction de l'épaisseur d'oxyde peut induire d'importants courants de fuites par la grille, c'est une voie que nous avons explorée pour augmenter des performances de TFETs.

Par conséquent, nous avons réalisé des dispositifs avec 10 nm d'alumine ($EOT=3,7 \text{ nm}$), soit une réduction de 5 nm par rapport au dispositif présenté sur la figure 3.12. Les caractéristiques de diode mesurées sur cet échantillon sont présentées sur la figure 3.20(a). Le niveau de courant de la diode bloquante est négligeable (entre $2 \cdot 10^{-12} \text{ A}$ et $9 \cdot 10^{-11} \text{ A}$), et le facteur d'idéalité est de 2,1, donc le dispositif peut-être mesuré en configuration de TFET. Sur la figure 3.20(b), nous comparons le résultat obtenu pour 10 nm d'alumine avec la mesure déjà présentée sur la figure 3.12 (dispositif ayant 15 nm d'alumine). On constate une augmentation du courant I_{on} pour les mêmes tensions de drain et de grille appliquées. Ceci est certainement dû à la diminution de l'épaisseur d'oxyde qui permet de réduire la largeur de la jonction tunnel pour des tensions de grille plus faibles qu'avec 15 nm d'oxyde. En revanche, l'inverse de la pente sous le seuil reste importante et du même ordre de grandeur pour ces deux épaisseurs d'oxyde. Nous noterons qu'elle est légèrement plus grande pour l'oxyde de 10 nm d'épaisseur que pour celui de 15 nm, mais cette différence est probablement due à la variabilité des nanofils VLS. Cette importante valeur de SS est certainement due à la faible probabilité de transition tunnel indirecte dans le silicium et

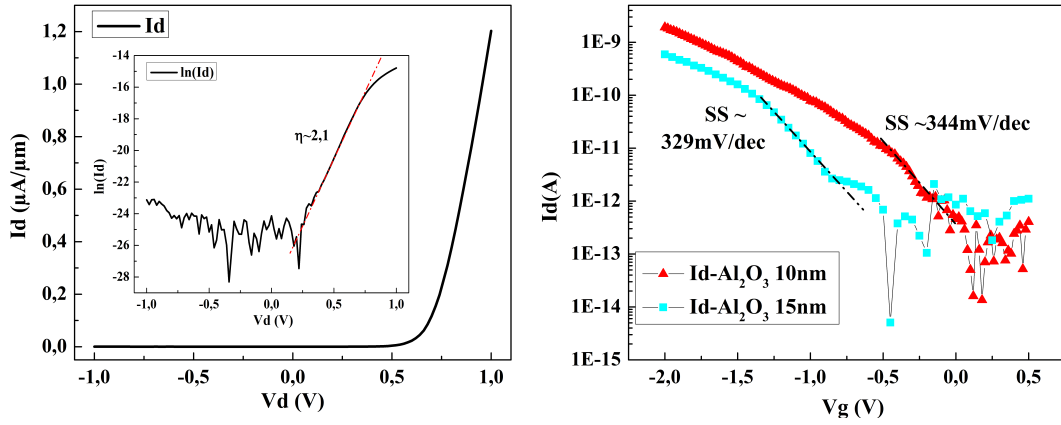


(a) Simulation des courbes de transferts de P-TFET à base de nanofil de silicium pour différentes épaisseurs d'alumine comme oxyde de grille.

(b) Simulation des courbes de transferts de P-TFET à base de nanofil de silicium pour 5 nm d'épaisseur de différents oxyde de grille

Figure 3.19: Simulations de caractéristiques de transfert de dispositifs P-TFETs à $V_p = -0,5$ V mettant en évidence l'influence du contrôle électrostatique de l'oxyde de grille sur la jonction tunnel n-i sur le niveau de courant et l'inverse de la pente sous le seuil.

au mécanisme de transition tunnel assisté par les pièges, plutôt qu'à l'épaisseur d'oxyde utilisé.



(a) Courbe $I_{DS}(V_{DS})$ du dispositif SiPN0022 avec 10 nm d'alumine ($\text{EOT}=3,7$ nm). En insert on peut voir que le facteur d'idéalité de la diode est de 2,1.

(b) Courbes $I_{DS}(V_{GS})$ à $V_{DS} = -0,5$ V pour des dispositifs dont l'oxyde de grille (Al_2O_3) est de 15 nm (carrés bleus) et de 10 nm (triangles rouges).

Figure 3.20: Dispositifs SiPN0022 avec 10 nm ($\text{EOT}= 3,7$ nm) et 15 nm ($\text{EOT}=5,5$ nm) d'alumine.

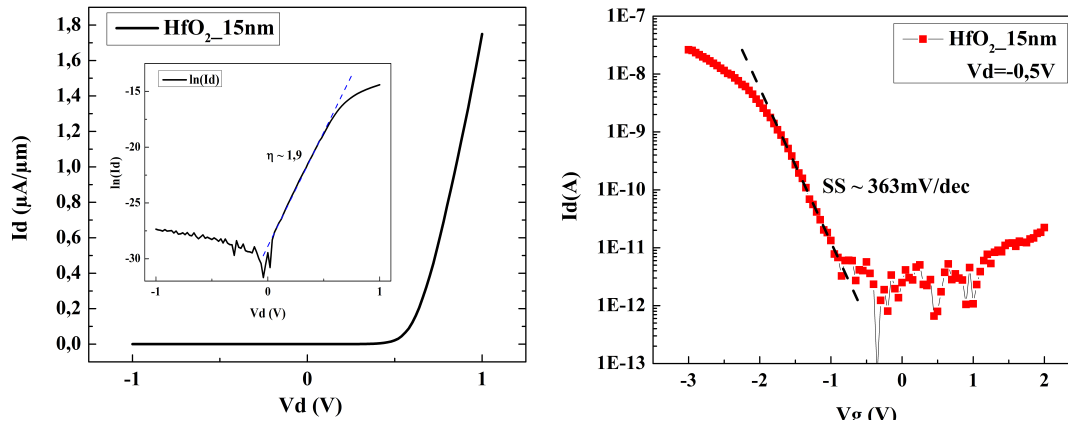
Diminuer davantage l'épaisseur d'oxyde peut induire un courant de grille de plus en plus important et cela réduit aussi la durée de vie du diélectrique (claquage, stress). Il y a une autre possibilité pour atteindre notre but, comme cela est présenté sur la figure 3.19(b), sur laquelle nous avons simulé les caractéristiques de transfert de P-TFETs ayant des oxydes

Table 3.3: Tableau récapitulatif des échantillons et des mesures réalisées dans le but d'améliorer le contrôle électrostatique de la grille par le biais de l'oxyde de grille.

Oxyde	Epaisseur (nm)	EOT (nm)	I_{on} à $V_{GS} = -2$ V et $V_P = -0,5$ V	SSmV/dec
Al_2O_3	15	5,5	$1,9 \cdot 10^{-3} \mu A/\mu m$	329
Al_2O_3	10	3,7	$6,1 \cdot 10^{-3} \mu A/\mu m$	344
HfO_2	15	2,9	$9,9 \cdot 10^{-3} \mu A/\mu m$	363
$Al_2O_3 + HfO_2$	4,5 + 10	3,7	$35 \cdot 10^{-3} \mu A/\mu m$	305

de grille de constantes diélectriques de plus en plus importantes pour la même épaisseur physique (5 nm). Comme cela était attendu, le courant I_{on} et le SS sont améliorés avec le contrôle électrostatique sur la jonction n-i. Donc plutôt que de réduire l'épaisseur physique de l'oxyde, nous avons opté pour l'utilisation d'oxyde à forte permittivité et en particulier le di-oxyde de hafnium (HfO_2) dont la constante diélectrique κ est environ de 20 (contre 10 pour l'alumine). Nous allons utiliser l'épaisseur équivalente (EOT) de SiO_2 comme échelle, pour pouvoir comparer nos dispositifs et leurs oxydes entre-eux. Pour rappel, l'EOT est calculé par l'expression suivante :

$$EOT = \frac{\kappa_{SiO_2}}{\kappa_{high-\kappa}} \cdot t_{high-\kappa}$$

**(a)** Mesure de la diode p-i-n après le dépôt de 15 nm d' HfO_2 ; en insert, la courbe $\ln(I_{DS})$ en fonction de V_{DS} .**(b)** Caractéristique de transfert du dispositif pour $V_P = -0,5$ V, SS = 363mV/dec, et $I_{on} = 0,084 \mu A \mu m^{-1}$ à $V_{GS} = -3$ V.**Figure 3.21:** Mesures réalisées sur le dispositif SiPN0022 avec 15 nm de HfO_2

Les courbes expérimentales de cet échantillon avec 15 nm d' HfO_2 sont présentées sur la figure 3.21. Tout d'abord, nous observons que la caractéristique de diode (figure 3.21(a)) présente un courant en mode bloquant compris entre $1 \cdot 10^{-11}$ A et $5 \cdot 10^{-11}$ A, et que le facteur d'idéalité de la diode est de 1,9 ce qui nous assure de pouvoir utiliser ce nanofil en configuration TFET, sans avoir de mécanisme de conduction parasite. La caractéristique de transfert (figure 3.21(b)) a été réalisée pour $V_P = -0,5$ V, le courant I_{on} de ce dispositif vaut $0,084 \mu A \mu m^{-1}$ (26,2 nA) à $V_{GS} = -3$ V et le SS est de 363 mV/dec. Si l'on extrait le

courant I_{on} à $V_{GS} = -2\text{ V}$, il vaut $0,0099\text{ }\mu\text{A }\mu\text{m}^{-1}$ ($3,13\text{ nA}$) ce qui est supérieur au courant obtenu pour les mêmes tensions appliquées avec le dispositif ayant 10 nm d'alumine, voir tableau 3.3. Ceci peut s'expliquer par l'amélioration du contrôle électrostatique sur la jonction n-i, car il faut rappeler que 15 nm d' HfO_2 correspond à un EOT de $2,9\text{ nm}$, alors que une couche de 10 nm d'alumine a un EOT de $3,7\text{ nm}$. Mais, on constate que le SS est toujours autour de 350 mV/dec pour ces deux dispositifs, donc le changement d'oxyde n'influence apparemment pas ce paramètre. Cependant, on peut constater que le dispositif avec l'oxyde HfO_2 présente le SS le plus important mesuré sur les nanofils SiPN0022. Cela peut s'expliquer par une densité de défauts d'interface plus grande entre le silicium et le di-oxyde d'hafnium par rapport à l'interface entre le silicium et l'alumine, comme cela a été rapporté dans la littérature [113, 114].

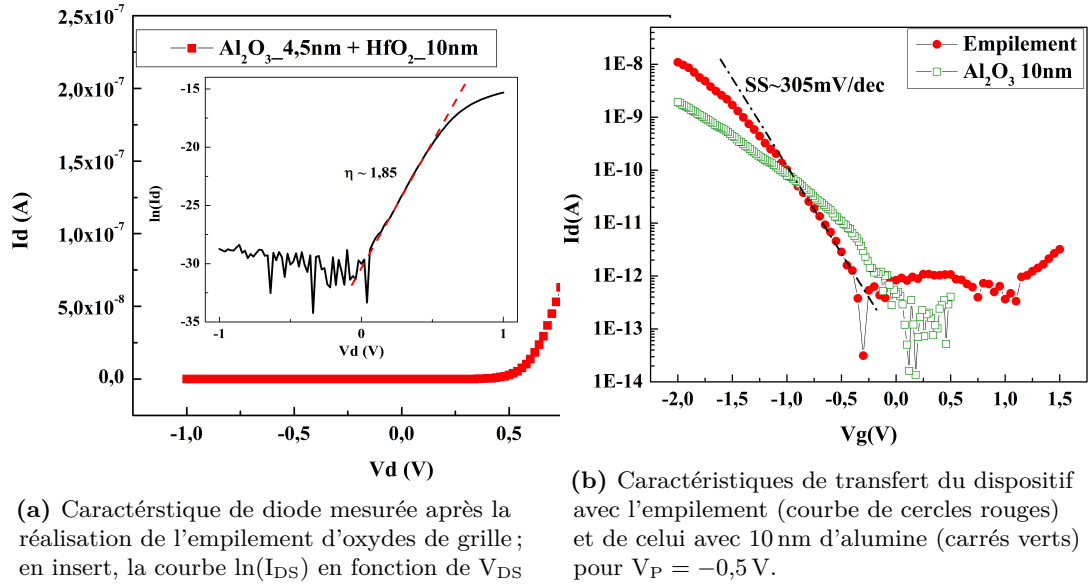
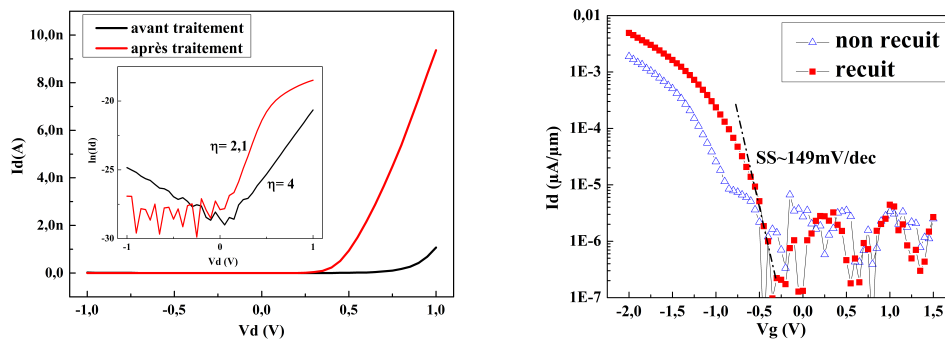


Figure 3.22: Mesures réalisées sur le dispositif SiPN0022 avec $4,5\text{ nm}$ de Al_2O_3 et 10 nm HfO_2

Pour diminuer le D_{it} , tous en gardant un bon contrôle électrostatique, nous avons réalisé des dispositifs avec un empilement de ces deux oxydes de grille. En premier, nous avons réalisé un dépôt d'alumine pour avoir une densité de défauts d'interfaces faible et en second un dépôt d' HfO_2 pour améliorer le contrôle électrostatique. Différentes épaisseurs d'empilement ont été testées, dont le meilleur résultat obtenu est pour $4,5\text{ nm}$ d'alumine et 10 nm d' HfO_2 (les autres empilements testés étaient plus fins, mais les courants de fuites par la grille se sont révélés systématiquement trop importants). L'EOT de cet empilement est de $3,7\text{ nm}$, donc nous pouvons comparer ce dispositif avec celui ayant 10 nm d'alumine puisqu'ils ont le même EOT. Le niveau de courant I_{on} du dispositif avec l'empilement est de $0,035\text{ }\mu\text{A }\mu\text{m}^{-1}$ ($10,9\text{ nA}$) pour $V_{GS} = -2\text{ V}$ et $V_{DS} = -0,5\text{ V}$. Donc le niveau de courant est amélioré de plus de 5 fois par rapport au dispositif avec 10 nm d'alumine, grâce à la réalisation de l'empilement et à l'abaissement de l'EOT. De plus le SS vaut environ 305 mV/dec ce qui est la plus basse valeur obtenue pour les dispositifs à base de nanofils de silicium de notre étude (hormis pour le dispositif SiPN0030 dont l'EOT vaut $1,4\text{ nm}$

et le $SS = 281\text{mV/dec}$). Donc on observe que la diminution de l'EOT de l'oxyde de grille permet également d'influencer l'inverse de la pente sous le seuil, mais que cette variation n'est pas linéaire (voir tableau 3.3).

Cette étude des performances des TFETs en fonction des paramètres de l'oxyde de grille montre que celui-ci peut influencer les caractéristiques électriques des TFETs (voir tableau 3.3), et cette optimisation est relativement facile à mettre en place. Cependant, avec l'utilisation de nanofils VLS comme dispositif, les propriétés électriques des TFETs sont dépendantes d'autres paramètres tels que le profil de dopage des jonctions ou la densité de pièges due à l'or présent dans la matrice de silicium. N'ayant pas la possibilité de diminuer la quantité d'or dans les nanofils, nous avons essayé d'améliorer le profil de dopage des nanofils par le recuit de siliciuration. En effet, nous avons parlé dans les chapitres précédents et au début de celui-ci de l'amélioration des performances des TFETs grâce au traitement thermique de 400°C pendant 15s. Ces recuits permettraient de créer une ségrégation des dopants que l'on espère proche des jonctions p-i et n-i [112]. Bien que nous n'ayons pas étudié le profil de dopage des nanofils, il est intéressant de constater les effets de ce traitement thermique sur les TFETs.



(a) Caractéristique de diode mesurée avant et après le recuit et le dépôt d'oxyde de grille; en insert, la courbe $\ln(I_{DS})$ en fonction de V_{DS} .

(b) Caractéristiques de transfert du dispositif recuit (courbe de carrés rouges) et de celui non recuit (triangles bleus ouverts) avec 15 nm d'alumine pour $V_P = -0,5\text{ V}$.

Figure 3.23: Mesures réalisées sur le dispositif SiPN0022 recuit à 400°C pendant 15s et dont l'oxyde de grill est de 15 nm de Al_2O_3 .

Ainsi nous avons réalisé un dispositif avec un nanofil SiPN0022 dont nous avons recuit les contacts drain-source, comme décrit précédemment, et nous avons déposé 15 nm d'alumine, comme oxyde de grille. Les caractéristiques électriques de ce dispositif sont présentées sur la figure 3.23. Le courant de blocage de la diode après recuit et dépôt d'oxyde est de l'ordre du pico-ampère et le facteur d'idéalité de la diode est de 2,1. Ainsi lorsque l'on utilise cet échantillon en configuration de Tunnel FET, on obtient un courant I_{on} de $3,9 \cdot 10^{-3} \mu\text{A}/\mu\text{m}$ ($1,2\text{ nA}$) à $V_{GS} = -2\text{ V}$ et $V_P = -0,5\text{ V}$ et le plus faible SS mesuré vaut environ 149mV/dec (voir figure 3.23(b)). Comme cet échantillon a un oxyde de grille de 15 nm d'alumine, nous pouvons le comparer avec celui présenté sur la figure 3.12 (courbe en triangle ouvert figure 3.23). Le niveau de courant I_{on} est multiplié par 2 environ par rapport à l'échantillon non recuit et l'amélioration principale, grâce au traitement thermique,

provient de l'inverse de la pente sous le seuil qui est divisée par 2. Cette valeur de SS montre un bon contrôle électrostatique comparé aux dispositifs précédemment, lesquels présentaient une amélioration du niveau de courant grâce à l'augmentation du contrôle électrostatique par la diminution de l'EOT, mais le SS reste de l'ordre de $325 \pm 30 \text{ mV/dec}$ environ. Par conséquent, grâce au recuit thermique, l'inverse de la pente sous le seuil est fortement amélioré. Cela peut être induit par la ségrégation du dopage lors de la formation de la phase siliciurée [55, 112] et de l'abaissement des résistance de contacts.

3.4.1 Conclusion sur les transistors nanofil Silicium

En conclusion, l'étude des TFETs à nanofil de silicium VLS a montré qu'avec l'utilisation des nanofils VLS comme canal de conduction, nous ne pouvions pas pour le moment, améliorer les performances de ces dispositifs en augmentant le niveaux de dopage lors de la croissance des nanofils. Cependant, comme le niveau de courant augmente avec le contrôle électrostatique de l'oxyde de grille sur la jonction tunnel, nous avons montré qu'une décade de courant pouvait être gagnée par l'empilement optimisé de diélectriques. De plus, nous avons montré que l'inverse de la pente sous le seuil pouvait être divisé par deux grâce à un recuit de siliciuration. On peut comparer les performances de nos dispositifs à la littérature, bien que nos dispositifs soient réalisés avec des étapes d'intégration au budget thermique très faible, contrairement à certaines études rapportées dans le tableau 3.4. Peu de laboratoires utilisent des nanofils VLS pour réaliser des Tunnel FETs, mais ces 4 études ont été réalisées sur des TFETs à base de nanofils VLS Silicium. La quatrième est sur un dispositif reconfigurable qui peut travailler comme TFET et MOSFET selon la polarisation de ces grilles (au nombre de deux). Nous avons rapporté ici les résultats attendants aux performances du dispositif en configuration de TFET seulement.

Table 3.4: Comparaison des résultats obtenues dans les précédents travaux rapportés sur les transistors horizontaux à base de nanofil de Silicium crus par CVD-VLS.

	Moselund et al. [115]	Vallet et al. [50]	Moselund et al. [48]	Glassner et al. [116]	Notre étude
année	2009	2010	2011	2014	2015
structure	p-i-n ⁺	p-n-n ⁺	p-i-n ⁺	n ⁺ -i-NiSi ₂	p ⁺ -p-n ⁺⁺
dopage n	$1,5 \cdot 10^{20} \text{ cm}^{-3}$	$1,5 \cdot 10^{19} \text{ cm}^{-3}$	$5 \cdot 10^{19} \text{ cm}^{-3}$	$1,6 \cdot 10^{19} \text{ cm}^{-3}$	$2 \cdot 10^{19} \text{ cm}^{-3}$
dopage p	$5 \cdot 10^{18} \text{ cm}^{-3}$	$5 \cdot 10^{17} \text{ cm}^{-3}$	$5 \cdot 10^{18} \text{ cm}^{-3}$		$5 \cdot 10^{18} \text{ cm}^{-3}$
recuit	non	oxyde thermique 800 °C 15min	activation 700 °C 15s	siliciuration 510 °C 15s	siliciuration 400 °C 15s
diamètre	55 nm	90 nm	36 nm	67 nm	100 nm
EOT	1,3 nm	8,1 nm	4,3 nm	7,4 nm	5,5 nm
I _{on}	0,084 μA/μm V _P = -0,5 V V _G = -2 V	0,071 μA/μm V _P = -0,5 V V _G = -12 V	~ 0,01 μA/μm V _P = -0,5 V V _G = -2 V	0,095 μA/μm V _P = -0,5 V V _G = -4 V	0,039 μA/μm V _P = -0,5 V V _G = -2 V
SS	120 mV/dec	370 mV/dec	370 mV/dec	143 mV/dec	149 mV/dec
I _{on} /I _{off}	10 ⁷	?	~ 10 ⁴	2 · 10 ⁴	10 ⁴

Grâce à cette comparaison, nous observons que nos dispositifs ont des propriétés électriques

proches des celles obtenues dans la littérature sur des nanofils obtenus par croissance VLS. Le dispositif obtenant les meilleures performances est celui présenté dans l'article de Moselund et al. [115]. Celui-ci a le plus faible EOT et le plus haut niveau de dopage de la partie n. Cependant le niveau de courant de ce dispositif est largement en dessous de $1\text{ }\mu\text{A}/\mu\text{m}$, le niveau de courant que l'on souhaite obtenir. Par conséquent, pour atteindre notre objectif, nous avons choisi de changer de matériau pour obtenir un plus petit gap. Nous avons choisi parmi les matériaux IV-IV, d'insérer du germanium dans les nanofils de silicium pour diminuer le gap du silicium et garder un bon accord entre notre procédé sur silicium et cet alliage. Cependant, la diminution du gap peut effectivement être bénéfique du point de vue de l'augmentation du niveau de courant, mais cela peut amplifier le niveau de courant de la diode en polarisation inverse, donc le courant Ioff du Tunnel FET. C'est pourquoi nous avons utilisé la concentration de 30% de germanium dans un nanofils p-i-n.

CHAPITRE 4

Étude des propriétés électriques des TFETs à nanofil contenant du germanium.

Dans ce chapitre, nous allons étudier l'impact de la largeur de la bande interdite du semiconducteur sur les performances des TFETs. Car, comme déjà discuté dans le chapitre 1 et afin d'augmenter la probabilité de la transition tunnel BBT, une des solutions est d'utiliser des matériaux à petit gap [29, 117, 49]. Il existe différents matériaux répondant à ce critère, dont l'alliage silicium-germanium que nous avons choisi. Du point de vue de la conception du dispositif, il y a deux utilisations possibles de ce matériau, soit pour toute la structure p-i-n, soit seulement pour la partie source. Nous allons étudier ces deux structures dans ce chapitre et nous montrerons les avantages et inconvénients pour chacune d'elles. Enfin nous présenterons un dispositif optimisé du point de vue de la géométrie et des matériaux utilisés.

4.1 Les propriétés de l'alliage SiGe

Le choix du matériau utilisé a été réalisé en fonction de sa disponibilité sur le bâti de CVD, sa compatibilité avec le procédé de fabrication et avec la filière industrielle CMOS. L'alliage SiGe, ou le germanium sont actuellement utilisés dans les procédés industriels de fabrication des MOSFETs [118, 119, 120, 121]. De plus, nous devions utilisé un matériau dont la synthèse est mature, c'est-à-dire que la croissance des nanofils soit bien contrôlée pour éviter les défauts cristallins et obtenir des nanofils verticaux.

S'il y a des défauts cristallins présents lors d'une croissance de SiGe sur substrat de Si, ils peuvent provenir des contraintes induites par le fait que le germanium est un atome plus gros que celui de silicium ($a_{\text{Si}} \sim 5,43 \text{ \AA}$ contre $a_{\text{Ge}} \sim 5,66 \text{ \AA}$). Cette croissance correspond à l'interface avec le substrat de Si, c'est-à-dire à la base du nanofil, où la différence de maille entre ces deux matériaux va induire une contrainte en compression à cause du désaccord de maille de 4,18%. Un des avantages de la croissance VLS de nanofil est que les contraintes peuvent être élastiquement relaxées grâce au fort ratio surface/volume, ce qui permet de garder les défauts cristallins au bas du nanofil. Donc grâce à sa maturité et à la technique

de croissance VLS, la synthèse de nanofil de SiGe est bien contrôlée et présente peu de défauts cristallins.

4.1.1 Effets de la concentration de germanium sur les propriétés électriques d'un TFET.

L'effet de l'insertion du germanium sur les propriétés électriques des TFETs réalisés peut être expliqué grâce aux propriétés de l'alliage, par le changement de certaines propriétés par rapport au silicium pur. En effet, si l'on reprend l'équation 3.1, que l'on a rappelé ci-dessous, la probabilité d'effet tunnel est influencée par le gap du semiconducteur, les masses effectives des porteurs et la densité de phonons accessibles (pour les semiconducteurs à gap indirect).

$$I \propto T(E) \propto \exp\left(-\frac{4\lambda\sqrt{2m^*}}{3\hbar(E_g + \Delta\Phi)}\right)$$

Nous allons discuter de ces trois points dans la suite, mais il faut savoir que les propriétés du matériau $\text{Si}_{1-x}\text{Ge}_x$ peuvent être en première approximation interpolées de leurs valeurs dans le silicium et le germanium qui sont généralement mieux tabulées. Ainsi, dans le silicium, il y a 6 minimums de la bande de conduction selon la direction cristallographique $\langle 100 \rangle$ (appelée Δ), alors que le germanium a 8 minimums de bandes de conduction dans la direction $\langle 111 \rangle$ (appelée L). Le passage d'une structure de bande à l'autre se produit pour une concentration de germanium autour de 85%. Par conséquent, nous serons toujours avec un alliage ayant une structure de bande de type silicium dans cette étude, car nous resterons en dessous de ce taux de concentration en germanium dans l'alliage. Le gap de l'alliage suit la loi suivante à température ambiante en fonction de la concentration de germanium insérée (pour %Ge < 85%) :

$$E_g = 1,12 - 0,41x + 0,008x^2$$

Bien évidemment, plus l'on insère de germanium, et plus le gap de l'alliage $\text{Si}_{1-x}\text{Ge}_x$ sera réduit permettant ainsi d'augmenter la probabilité d'effet tunnel. Donc un des moyens d'augmenter le niveau de courant des TFETs SiGe est d'accroître la concentration de germanium.

Le second paramètre de l'alliage SiGe qui nous intéresse ici est la masse effective des porteurs. Il est important de noter que les porteurs, qui traversent par effet tunnel la barrière de potentiel, sont dits ayant une masse réduite m_r , celle-ci étant approximée par l'expression suivante : $m_r = m_e m_{lh} / (m_e + m_{lh})$. Où $m_{lh/e}$ est la masse effective des trous/électrons légers, car les porteurs de faible masse ont une contribution dominante dans la conduction par effet tunnel [29, 122].

La masse effective des électrons dans l'alliage SiGe est peu affectée par la composition de l'alliage ou par une contrainte biaxiale (001), que ce soit dans la direction Δ ou L. Ainsi la masse effective des électrons est proche de celle des électrons du silicium tant que la concentration de germanium ne dépasse pas 85%. En revanche, la masse effective des trous dans l'alliage SiGe est fortement dépendante de la composition, de la direction

cristallographique, ainsi que des contraintes au sein du matériau, à cause de l'interaction spin-orbite. En effet, la séparation des bandes des niveaux d'énergie due à cette interaction est de 44meV pour le silicium, alors qu'elle est de 290meV pour le germanium [123]. La masse effective des trous dans cet alliage étant dépendante de nombreux paramètres, celle-ci est donc difficile à obtenir. Par conséquent, nous avons supposé en première approximation que la variation de la masse effective des porteurs en fonction du taux de germanium pourrait être négligée dans le modèle BBT que nous avons utilisé pour simuler les caractéristiques électriques des TFETs. Nous verrons les implications de cette approximation dans la section 4.2.3.

Enfin pour savoir si notre matériau aura de bonnes performances électriques par la conduction BBT indirecte, il reste un dernier point important pour ce mécanisme de conduction. En effet, il nous faut savoir si des phonons seront accessibles pour permettre la conservation de la quantité de mouvement lors de la transition tunnel [28, 124, 125, 21]. En effet, Luisier et Klimeck [125] ont montré que l'interaction électron-phonon dans la conduction BBT devait être prise en compte dès lors que les nanofils de silicium ou de germanium avaient les propriétés du matériau massif (pour des nanofils de diamètre supérieur à quelques dizaines de nanomètres). Une des données pour quantifier l'échange entre le réseau et les phonons est la conductivité thermique du matériau massif en fonction de la concentration de germanium, figure 4.1. On observe que celle-ci diminue avec l'insertion de germanium.

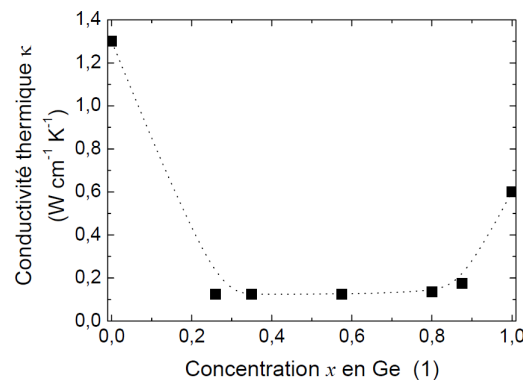


Figure 4.1: La conductivité thermique en fonction de la concentration en germanium d'une couche mince d'alliage $\text{Si}_{1-x}\text{Ge}_x$.

La forme en U de cette courbe est due au fait que dans un alliage, les phonons vont subir davantage de collisions dans l'alliage que dans un matériau pur, car les atomes de silicium et de germanium peuvent occuper aléatoirement les sites du réseau ???. Ainsi les interactions entre les phonons et le réseau sont plus probables dans l'alliage que dans les matériaux purs, ce qui est un atout pour la conduction BBT indirecte. De plus, la mauvaise conduction thermique de l'alliage n'est pas un inconvénient pour les TFETs, contrairement au cas des MOSFETs, car l'échauffement des TFETs induit une augmentation du niveau de courant, comme nous l'avons vu sur la figure 3.18(a) droite au chapitre 3.

Par conséquent, l'insertion de germanium dans la matrice de silicium n'a apparemment

pas d'effet néfaste sur la conduction par effet tunnel et devrait permettre d'améliorer les performances des dispositifs.

4.2 Les hétérojonctions p-i-n à base de nanofils $\text{Si}_{0,7}\text{Ge}_{0,3}$.

4.2.1 La croissance et le diagramme de bande des nanofils $\text{Si}_{0,7}\text{Ge}_{0,3}$

Nous avons synthétisé des nanofils p-i-n $\text{Si}_{0,7}\text{Ge}_{0,3}$ par CVD-VLS, dont une image MEB est représentée à droite sur la figure 4.2. L'incorporation de 30% de germanium dans le nanofil permet d'atteindre un gap de 0,998eV d'après l'équation 4.1.1, donc de le diminuer de 0,122eV par rapport à celui du silicium (voir diagramme de bande, figure de gauche 4.2).

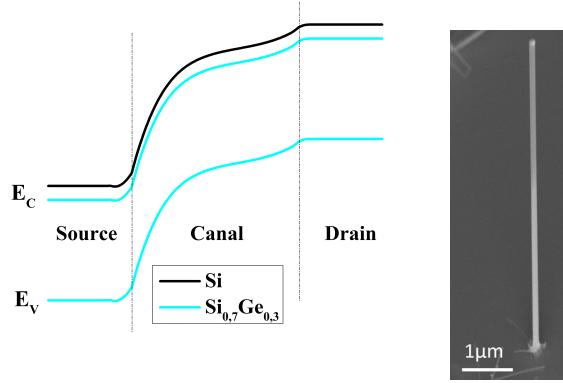


Figure 4.2: Diagrammes de bandes des hétérojonctions p-i-n Silicium et $\text{Si}_{0,7}\text{Ge}_{0,3}$ (à gauche) et l'image MEB d'un nanofil $\text{Si}_{0,7}\text{Ge}_{0,3}$ après croissance (à droite).

Les paramètres de croissance de ces nanofils sont présentés dans le tableau 4.1. Les diagrammes de bandes des hétérojonctions silicium et $\text{Si}_{0,7}\text{Ge}_{0,3}$ (présentés sur la figure 4.2) ont été réalisés grâce à notre modèle pour une tension de grille de $-0,2\text{ V}$ et pour une tension de drain bloquante de $-0,5\text{ V}$. Pour pouvoir comparer les deux diagrammes nous avons aligné les niveaux de bande de valence. On observe que la largeur de la barrière tunnel est plus faible pour l'alliage SiGe ce qui correspond à nos attentes.

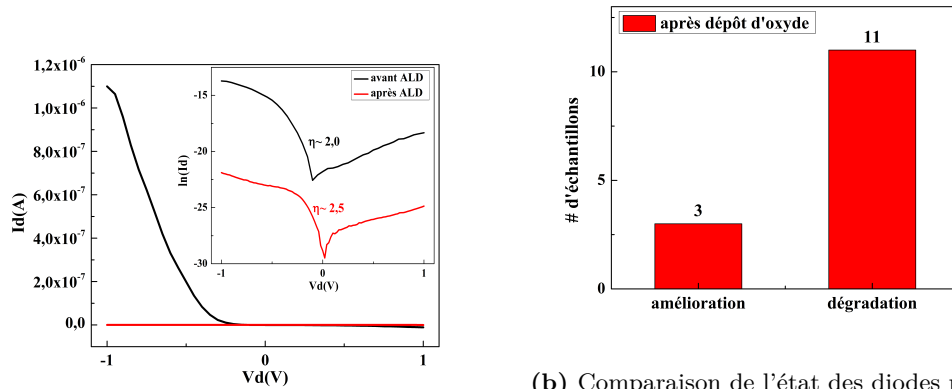
Table 4.1: Paramètres de croissance des nanofils $\text{Si}_{0,7}\text{Ge}_{0,3}$.

	SiH_4	GeH_4	HCl	B_2H_6	PH_3
Flux (sccm)	90	45	40	50/50/50	80/80/0
	T ($^\circ\text{C}$)	P (Torr)		Ratio B/(SiGe)	Ratio P/(SiGe)
constantes	450	4,5		$5,3 \cdot 10^{-4}$	$1,7 \cdot 10^{-3}$

D'après les conditions de croissance et les mesures de résistivité réalisées sur différents échantillons de même composition et dopage, le niveau de dopage de la source est compris entre $1 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$ et $3 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$. La partie drain a un dopage beaucoup plus faible de l'ordre de $1 \cdot 10^{16} \text{at} \cdot \text{cm}^{-3}$ [79]. Ces niveaux de dopage estimés sont approximatifs car ces flux de dopants et de germanium n'ont pas été testé sur beaucoup d'échantillons.

4.2.2 Les mesures électriques à l'ambiante des TFETs Si_{0,7}Ge_{0,3}

Tout d'abord, nous allons présenter les résultats obtenus sur un TFET à base de nanofil de 100 nm de diamètre, avec 4,5 nm d'alumine, dont les caractéristiques électriques de la diode avant et après le dépôt d'oxyde sont montrées sur la figure 4.3(a).



(a) Courbes I_D - V_D avant et après dépôt de 4,5 nm d'alumine à 250 °C par ALD pour un TFET Si_{0,7}Ge_{0,3} ayant un diamètre de 100 nm. En insert le logarithme de I_D en fonction de V_D avec la valeur du facteur d'idéalité calculé.

(b) Comparaison de l'état des diodes p-i-n avant et après dépôt d'alumine à 250 °C. Sur les 14 échantillons, 8 avaient un diamètre de 100 nm et 6 de 50 nm. Donc 33% des nanofils de 100 nm de diamètre ont une meilleur caractéristique de diode après le dépôt d'oxyde alors que c'est le cas pour seulement 20% des nanofils de 50 nm.

Figure 4.3: Effet du diélectrique de grille sur la caractéristique de diode des nanofils Si_{0,7}Ge_{0,3}.

On observe que la caractéristique électrique de la diode est dégradée après le dépôt d'oxyde (courbe rouge figure 4.3(a)), du point de vue du niveau de courant, mais aussi du facteur d'idéalité, ce comportement est l'inverse de celui rapporté sur les nanofils de silicium SiPN0022. Cet effet a été observé sur 67% des dispositifs à base de nanofils Si_{0,7}Ge_{0,3} de 100 nm de diamètre et sur 80% de ceux avec un diamètre de 50 nm, d'après la figure 4.3(b). Nous discuterons de cet effet dans la suite de ce paragraphe.

Dans le dispositif présenté ici (figure 4.3(a)), le courant de la diode bloquante est compris entre $2,9 \cdot 10^{-13}$ A et $1,5 \cdot 10^{-11}$ A après le dépôt d'oxyde, donc nous pouvons utiliser ce nanofil en configuration TFET.

Les caractéristiques de transfert de ce dispositif pour différentes tensions de drain sont présentées sur la figure 4.4 (EOT=1,6 nm). Les valeurs du courant I_{on} et de l'inverse de la pente sous le seuil pour chaque tension de drain appliquées sont résumées dans le tableau 4.2. On observe que le niveau de courant obtenu est de $13,5 \cdot 10^{-3} \mu A/\mu m$ pour $V_P = -0,5$ V et $V_{GS} = -2$ V, ce qui est assez faible au vu de son EOT (1,6 nm). Si l'on compare ce transistor aux TFETs Si, le niveau de courant obtenu place notre échantillon entre le dispositif avec 15 nm d'HfO₂ (EOT=2,9 nm) et celui avec l'empilement de diélectriques (EOT=3,7 nm). En revanche, les valeurs de l'inverse de la pente sous le seuil pour le TFET SiGe sont bien supérieures à celles obtenues sur les TFETs Si, alors qu'ils ont des oxydes de

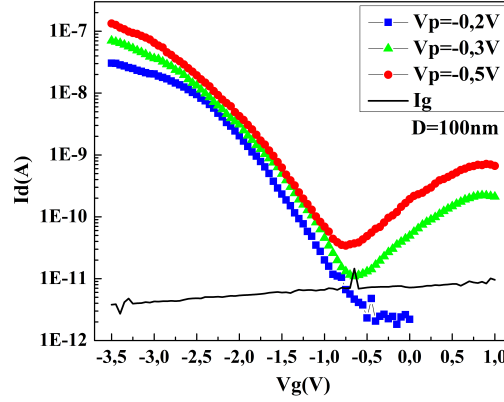


Figure 4.4: Courbes de transfert pour différentes tension de drain du dispositif $\text{Si}_{0,7}\text{Ge}_{0,3}$ ayant un diamètre de 100 nm et un oxyde de grille de 4.5 nm d'alumine.

grille beaucoup plus épais. On peut attribuer cette augmentation du SS à une forte densité d'états d'interface entre le canal $\text{Si}_{0,7}\text{Ge}_{0,3}$ et l'alumine par rapport à l'interface $\text{Si}/\text{Al}_2\text{O}_3$.

Table 4.2: Synthèse des résultats obtenus pour le TFET $\text{Si}_{0,7}\text{Ge}_{0,3}$ de 100 nm de diamètre avec 4,5 nm d'alumine.

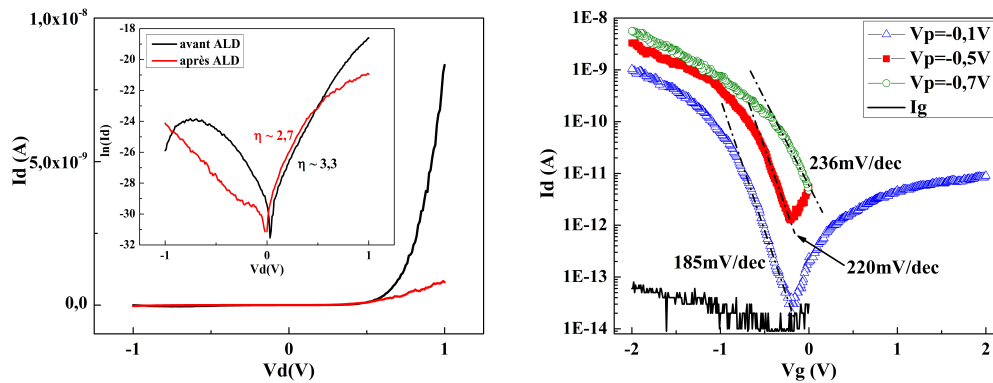
$V_p(\text{V})$	SS(mV/dec)	$I_{\text{on}}(\mu\text{A}/\mu\text{m})$ à $V_{\text{GS}} = -2\text{ V}$	$I_{\text{on}}/I_{\text{off}}$
-0,2	465	$7,1 \cdot 10^{-3}$	$1 \cdot 10^3$
-0,3	478	$9,9 \cdot 10^{-3}$	300
-0,5	513	$13,5 \cdot 10^{-3}$	114

En effet, dans notre équipe, des travaux antérieurs sur des dispositifs Schottky barrier FET (SBFET) à nanofil $\text{Si}_{0,7}\text{Ge}_{0,3}$ et silicium ont été réalisés avec un oxyde de grille thermique SiO_2 de 25 nm d'épais [86]. Le D_{it} obtenu était de $1,2 \cdot 10^{13} \text{eV}^{-1} \text{cm}^{-2}$ et de $1 \cdot 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ respectivement pour le SBFET SiGe et Si , ce qui corrobore notre hypothèse de l'augmentation du D_{it} pour les nanofils $\text{Si}_{0,7}\text{Ge}_{0,3}$. Cette différence de densité d'états d'interface entre les deux nanofils peut s'expliquer par les mécanismes de formation de l'oxyde. En effet, le dépôt de l'oxyde de grille commence par l'envoi d'eau, donc d'oxygène, afin de former des liaisons Si-O , dans le cas d'un nanofil de silicium, alors que pour le nanofil de SiGe , ces liaisons seront principalement Si-O , mais aussi Ge-O et Si-O-Ge . La présence de liaison « O-Ge » dépend de la concentration de germanium à la surface du nanofil, donc dans notre cas, la monocouche est principalement composée de SiO_x . Cependant, la présence du germanium modifie le niveau de Fermi (E_F) et transforme les atomes d'oxygène en charges négatives piégées à l'interface reliées à la surface du nanofil par les liaisons Ge-O et Si-O-Ge . Le niveau de piège est rempli par les électrons quand E_F est supérieur au niveau de piège, résultant en une accumulation de trous via les charges interfaciales, ou courbure des bandes vers le haut [126]. L'augmentation de la densité de pièges à l'interface peut également amener une réponse au comportement de la diode observée précédemment, puisque le niveau de courant et le facteur d'idéalité ont

été diminués après le dépôt de l'oxyde de grille. Ainsi on peut supposer que de nouveaux centres de recombinaison ont été induits par le dépôt d'oxyde, et cela peut diminuer le courant et ajouter une résistance interne au nanofil qui dégrade le facteur d'idéalité.

En conclusion, ce dispositif montre un niveau de courant relativement bon, car pour des tensions de drain faibles ($|V_P| < 0,5 \text{ V}$), les niveaux de I_{on} de ce dispositif sont proches de ceux obtenus sur nanofil de silicium (voir tableau 3.3). De plus ces niveaux de courant sont atteints alors que les inverse de pente sous le seuil du dispositif sont dégradés par rapport à celles des dispositifs à base de nanofil de silicium. Afin d'améliorer le contrôle électrostatique de la grille sur la jonction tunnel, nous devrions obtenir des niveaux de courant supérieurs. C'est pourquoi, nous avons réalisé des dispositifs à base de nanofil $\text{Si}_{0,7}\text{Ge}_{0,3}$ de 50 nm de diamètre.

Nous avons réalisé un TFET avec un nanofil catalysé par des colloïde de 50 nm cru en même temps que ceux de 100 nm utilisés au paragraphe précédent. Sur la caractéristique électrique de cette diode (figure 4.5(a)), on observe également qu'elle est dégradée après le dépôt d'oxyde du point de vue du niveau de courant. Mais son facteur d'idéalité a été quant à lui amélioré, bien qu'il reste très élevé (cf insert de la figure 4.5(a)). Donc nous supposons que pour cet échantillon, le dépôt d'oxyde a permis de diminuer la densité de pièges à l'interface. En revanche, les résistances de contacts semblent avoir été augmentées, comme pour le dispositif de 100 nm de diamètre. Ceci est peut être dû à une légère exodiffusion du germanium, comme nous l'avons mentionné dans le paragraphe 2.2.4.2 du chapitre 2, qui induirait une barrière de potentiel au sein du nanofil. Le niveau de courant de la diode en tension bloquante est compris entre $3 \cdot 10^{-14} \text{ A}$ et $3 \cdot 10^{-11} \text{ A}$.



(a) Caractéristiques de diode avant et après dépôt d'alumine à 250 °C.

(b) Courbes de transfert pour différentes tension de drain.

Figure 4.5: Courbes de transfert pour différentes tension de drain du dispositif avec $\text{Si}_{0,7}\text{Ge}_{0,3}$ ayant un diamètre de 50 nm.

Sur la figure 4.5(b) nous présentons les courbes de transfert obtenues pour différentes tensions de drain. On observe que le courant de fermeture du TFET augmente avec la tension drain, comme pour le dispositif de 100 nm de diamètre (voir courbes 4.4). Ce courant est dû au mécanisme de génération-recombinaison Shockley-Read-Hall (SRH), qui

est proportionnel au nombre de porteurs intrinsèques $n_i = \exp(-E_g/2k_B T)$, où k_B est la constante de Boltzmann et T la température. À cause de la diminution de E_g , la génération SRH est plus importante pour les diodes $\text{Si}_{0,7}\text{Ge}_{0,3}$ que celles de Si. Cette augmentation est similaire pour ces deux dispositifs et elle vaut environ une décade, lorsque l'on passe de la tension drain la plus faible à $V_P = -0,5 \text{ V}$. En revanche, les valeurs de l'inverse de la pente sous le seuil de cet échantillon, référencées dans le tableau 4.3, sont beaucoup plus faibles que celles obtenues pour le dispositif avec un diamètre de 100 nm ou à base de nanofil de silicium sans recuit. Cette amélioration du contrôle électrostatique provient probablement de la réduction du diamètre du nanofil, mais aussi pour la comparaison entre les deux dispositifs $\text{Si}_{0,7}\text{Ge}_{0,3}$ d'une plus faible densité de défauts d'interface.

Il est intéressant de constater que le courant I_{on} et le ratio $I_{\text{on}}/I_{\text{off}}$ du TFET à nanofil de 50 nm de diamètre sont supérieurs à ceux du dispositif de nanofil de 100 nm de diamètre, pour les mêmes valeurs de tensions (voir tableau 4.3). Donc définitivement, nous avons un meilleur contrôle électrostatique sur la jonction tunnel de ce dispositif de faible diamètre.

Table 4.3: Synthèse des résultats obtenus pour le TFET SiGe 50 nm de diamètre avec 10 nm d'alumine.

$V_P(\text{V})$	$SS(\text{mV/dec})$	$I_{\text{on}}(\mu\text{A}/\mu\text{m})$ à $V_{\text{GS}} = -2 \text{ V}$	$I_{\text{on}}/I_{\text{off}}$
-0,1	185	$6,6 \cdot 10^{-3}$	$5 \cdot 10^4$
-0,5	220	$21,0 \cdot 10^{-3}$	$2 \cdot 10^3$
-0,7	236	$35,6 \cdot 10^{-3}$	$1 \cdot 10^3$

4.2.3 Simulation des courbes électriques des TFETs $\text{Si}_{0,7}\text{Ge}_{0,3}$

Les nanofils d'alliages $\text{Si}_{0,7}\text{Ge}_{0,3}$ crus par VLS dans une utilisation de TFET n'ont pas de précédent dans la littérature, selon notre recherche bibliographique. Cependant l'utilisation de ce matériau en intégration TFET avec l'approche top-down a été effectuée par quelques groupes [127, 30, 128, 49, 54].

Les principaux résultats rapportés de la littérature sont comparés à notre étude dans le tableau 4.4. On constate que notre dispositif avec un diamètre de 50 nm est au niveau de l'état de l'art des dispositifs obtenus par l'approche top-down, bien qu'en dessous des performances des dispositifs de l'équipe de C. Le Royer du CEA Leti de Grenoble. Mis à part les dispositifs de cette équipe, le niveau de courant de notre TFET est parmi les plus importants obtenus sur dispositifs à base de nanofils pour de très faibles tensions appliquées. Donc on peut constater grâce à ces études expérimentales, que l'utilisation de l'alliage SiGe pour les dispositifs TFETs est une possibilité réaliste pour pallier le faible niveau de courant des TFETs en silicium. Pour prédire les améliorations à apporter sur ce dispositif, nous pourrions procéder à une analyse grâce à la simulation.

Cependant, malgré l'existence d'autres études sur les TFETs à base de $\text{Si}_{0,7}\text{Ge}_{0,3}$ dans la littérature, les valeurs des coefficients de l'effet tunnel du modèle de Kane ou de Klaassen, c'est-à-dire A et B , pour ce matériau sont très rarement données. Nous avons trouvé seulement deux articles théoriques où ces coefficients ont été calculés pour une concentration de 30% de germanium, dont les valeurs sont répertoriées dans les deux premières colonnes

Table 4.4: Comparaison des résultats obtenues dans les précédents travaux rapportés sur les transistors horizontaux en couche ou nanofils SiGe.

	Mayer et al. [30]	Richter et al. [49]	Villalon et al. [54]	Notre étude
année	2008	2014	2014	2015
NW	gravure	gravure	gravure	VLS-CVD
structure	p-i-n ⁺	p ⁺ -n-n	p-i-n ⁺	p ⁺ -p-n ⁺⁺
dopage n	?	$1 \cdot 10^{19} \text{cm}^{-3}$?	$1 \cdot 10^{19} \text{cm}^{-3}$
dopage p	?	$2 \cdot 10^{20} \text{cm}^{-3}$?	$1 \cdot 10^{16} \text{cm}^{-3}$
recuit	activation 950 °C	siliciuration 400 °C	activation ?	non
diamètre	20 nm	15 nm	12 nm	50 nm
Oxyde	3 nm HfO ₂	3.5 nm Al ₂ O ₃	EOT=1.5 nm	EOT=5.5 nm
I _{on}	0,009 $\mu\text{A}/\mu\text{m}$ V _P = -1,2 V V _G = -3 V	0,01 μA V _N = 0,5 V V _G = 3 V	760 $\mu\text{A}/\mu\text{m}$ V _P = -0,9 V V _G = -2 V	0,021 $\mu\text{A}/\mu\text{m}$ V _P = -0,5 V V _G = -2 V
SS	74mV/dec	220mV/dec	80mV/dec	220mV/dec
I _{on} /I _{off}	$3 \cdot 10^3$	$\sim 5 \cdot 10^3$	$\sim 10^8$	$2 \cdot 10^3$
géométrie	planaire	Ω -gate	Ω -gate	Ω -gate

du tableau 4.5. Dans les travaux de Kao et al. [129] ces coefficients sont calculés à partir des expressions du modèle de Kane, incluant l'impact de l'insertion de germanium sur la masse effective des porteurs en fonction des directions cristallographique de transition tunnel. Alors que dans l'étude de Shih et al. [37], les coefficients sont recalculés pour une hétérostructure Si/Si/SiGe avec une jonction Si/SiGe étalée, toujours selon le modèle de Kane. Le coefficient B étant celui qui traduit la dynamique de la transition bande-à-bande, nous nous concentrerons principalement sur ce paramètre. Dans le tableau 4.5, on constate que les coefficients B rapportés de la littérature sont relativement proches des valeurs extraites expérimentalement pour les dispositifs à base de silicium ($B_{\text{Si}} = 23 \text{MV/cm}$ [130]) et des valeurs théoriques du modèle de Kane pour le silicium (cf première colonne du tableau 4.6).

Table 4.5: Paramètres A et B trouvés dans la littérature comparés à nos résultats obtenus depuis nos courbes expérimentales

BBT coefficients	Kao et al. [129]	Shih et al. [37]	Notre étude
$A_{\text{Si}_{0,7}\text{Ge}_{0,3}}$	$34 \cdot 10^{14} \text{cm}^{-3} \cdot \text{s}^{-1}$	$2,25 \cdot 10^{15} \text{eV}^{1/2} \text{cm}^{-1/2} \text{V}^{-5/2}$	$3,75 \cdot 10^{14} \text{cm}^{-1/2} \cdot \text{V}^{-5/2} \cdot \text{s}^{-1}$
$B_{\text{Si}_{0,7}\text{Ge}_{0,3}}$	$19,1 \text{MV} \cdot \text{cm}^{-1}$	$20 \text{MV} \cdot \text{cm}^{-1} \cdot \text{eV}^{-3/2}$	$16 \text{MV} \cdot \text{cm}^{-1}$

Table 4.6: Rappel des coefficients théoriques BBT pour le silicium selon le modèle utilisé

BBT coefficients	Kane modèle	Klaassen modèle
A_{Si}	$3,5 \cdot 10^{21} \text{eV}^{1/2} \text{cm}^{-1} \text{V}^{-2}$	$4 \cdot 10^{14} \text{cm}^{-1} \text{V}^{-5/2} \text{s}^{-1}$
B_{Si}	$22,5 \text{MV} \cdot \text{cm}^{-1} \text{eV}^{-3/2}$	$19 \text{MV} \cdot \text{cm}^{-1}$

Dans notre simulation, nous utilisons le modèle de Klaassen, d'où le rappel nécessaire des coefficients pour ce modèle dans le tableau 4.6. Pour estimer les coefficients tunnels, nous avons choisi de négliger la diminution de la masse effective des porteurs pour ne prendre en compte que la variation du gap avec l'insertion de 30% de germanium, comme expliqué au début de ce chapitre. De ce fait, nous pouvons, obtenir le coefficient B de l'alliage grâce aux expressions suivantes :

$$B_{\text{Si}} = \frac{\pi^2 \sqrt{m_{\text{Si}}^*/2}}{qh} \cdot E_{\text{gSi}}^{3/2} \quad (4.1)$$

$$B_{\text{SiGe}} = B_{\text{Si}} * (E_{\text{gSiGe}}/E_{\text{gSi}})^{3/2} \quad (4.2)$$

Cette approximation est valide tant que la concentration en germanium ne dépasse pas 80% dans l'alliage [129, 131]. Dans notre modèle, le calcul de B pour $\text{Si}_{0,7}\text{Ge}_{0,3}$ vaut 16MV/cm. Pour pouvoir comparer notre valeur de B à la littérature, nous avons appliquée les relations 4.3 pour passer d'un modèle à un autre.

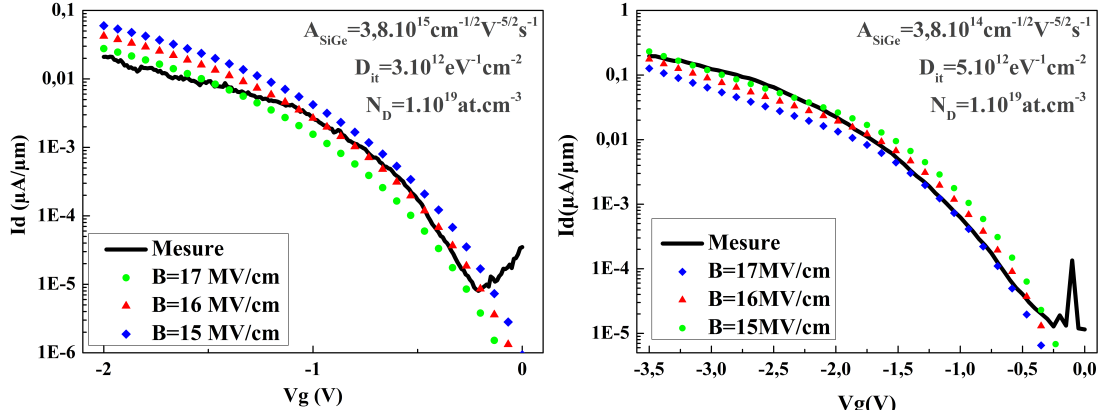
$$B_{\text{Kane}} = \frac{B_{\text{Klaassen}}}{E_g^{3/2}} \quad (4.3)$$

$$A_{\text{Kane}} = A_{\text{Klaassen}} \times E_g^{1/2} \quad (4.4)$$

Comme le gap de l'alliage $\text{Si}_{0,7}\text{Ge}_{0,3}$ est de 0,998 le passage du modèle de Kane au modèle de Klaassen est quasiment transparent. Ainsi, dans ce cas de figure, on peut comparer directement les coefficients des deux modèles de BBT.

Notre valeur de B est donc bien plus faible que celles données dans la littérature pour le même matériau. Cependant, ce sont des coefficients venant d'un autre modèle, et même si dans ce cas de figure le passage de l'un à l'autre est direct, ce n'est pas forcément une façon judicieuse de comparer l'influence de notre "mise à l'échelle" des coefficients de transition tunnel par rapport aux coefficients trouvés dans la littérature. En effet les valeurs de B pour le silicium sont différentes entre les modèles de Kane et de Klaassen, donc la mise à l'échelle ne peut pas donner le même coefficient B. Par conséquent, nous avons appliqué le rapport des valeurs de gap sur la valeur de B_{Si} théorique du modèle de Kane. On obtient alors $B_{\text{Si}_{0,7}\text{Ge}_{0,3}} = 18,3\text{MV}/\text{cm}^{-1}$ dans le modèle de Kane. Ainsi par notre approximation, en appliquant le même coefficient, la probabilité tunnel de transition des porteurs dans le SiGe est surestimée par rapport à celle données par les valeurs extraites de la littérature. Cette différence est certainement due à la prise en compte de la variation de la masse effective de l'alliage SiGe par rapport au silicium.

Pour confronter notre modèle au matériau synthétisé, nous avons simulé le courant tunnel de TFET $\text{Si}_{0,7}\text{Ge}_{0,3}$, en utilisant les paramètres associés aux dispositifs précédents, avec la valeur de B que nous avons estimée. Le résultat de la simulation dépend en plus du facteur B, des paramètres A du modèle de Klaassen, du niveau de dopage de la source et dans une moindre mesure de la densité d'états à l'interface. Ces trois paramètres ne sont pas fixes



(a) TFET Si_{0,7}Ge_{0,3} de 50 nm de diamètre et de 10 nm d'Al₂O₃ d'oxyde de grille.

(b) TFET Si_{0,7}Ge_{0,3} de 100 nm de diamètre avec 5 nm d'Al₂O₃ d'oxyde de grille.

Figure 4.6: Caractéristiques de transfert expérimentale (en trait continu) et simulées (symboles) pour les P-TFET à base d'un nanofil Si_{0,7}Ge_{0,3} de différent diamètre à $V_P = -0,5$ V. Les simulations ont été réalisées pour différentes valeurs du coefficient B du modèle de Klaassen.

dans notre matériau. En effet, le paramètre A peut être calculé avec seulement la masse effective des porteurs, comme présenté dans l'équation 1.5, ou bien avec entre autre la masse réduite des porteurs par effet tunnel, la masse effective des porteurs des bandes de conduction et de valence comme dans les articles de Kao et al [129] ou de Shih et al. [37]. En ce qui concerne le niveau de dopage, nous avons montré que celui obtenu dans un seul nanofil n'est pas forcément celui attendu par les conditions de croissance surtout sur des diamètres inférieurs à 100 nm, donc nous ne pouvons pas le considérer comme une valeur exacte. Enfin pour connaître le D_{it} de notre dispositif, il faudrait réaliser, par exemple, une mesure de pompage de charge. Or la surface liée à un seul nanofil est trop faible pour obtenir un niveau de courant exploitable. Par conséquent, nous allons tout d'abord réaliser des simulations en faisant varier chacun de ces paramètres pour observer leurs influences et leurs accords avec nos mesures expérimentales.

Nous commençons par présenter les simulations pour trois valeurs du paramètre B et sur les deux dispositifs SiGe de 50 nm et de 100 nm de diamètre, cf figures a) et b) 4.6. Les courbes expérimentales seront toujours présentées dans cette section en trait continu et les courbes simulées par des symboles. Sur les figures 4.6, les mesures électriques présentent un bon accord avec les simulations et en particulier pour $B = 16$ MV/cm. Cependant pour le dispositif de 50 nm (figure 4.6(a)), à $|V_G| > 1$ V le niveau de courant mesuré présente une évolution différente en fonction de V_{GS} de celle obtenue par simulation. Nous supposons que celle-ci est due à une résistance d'accès du dispositif. Pour le dispositif de 100 nm, figure 4.6(b), l'accord entre les simulations et la mesure est obtenu pour $|V_G| > 0,75$ V environ, ce qui peut être dû à une forte contribution du mécanisme de Trap-assisted tunneling.

Pour les deux dispositifs, bien que l'écart entre les différentes valeurs de B soit faible, on observe que pour $B = 17$ MV/cm et $B = 15$ MV/cm les simulations correspondent moins à leurs comportements que celles simulées pour $B = 16$ MV/cm, ce qui est la valeur estimée

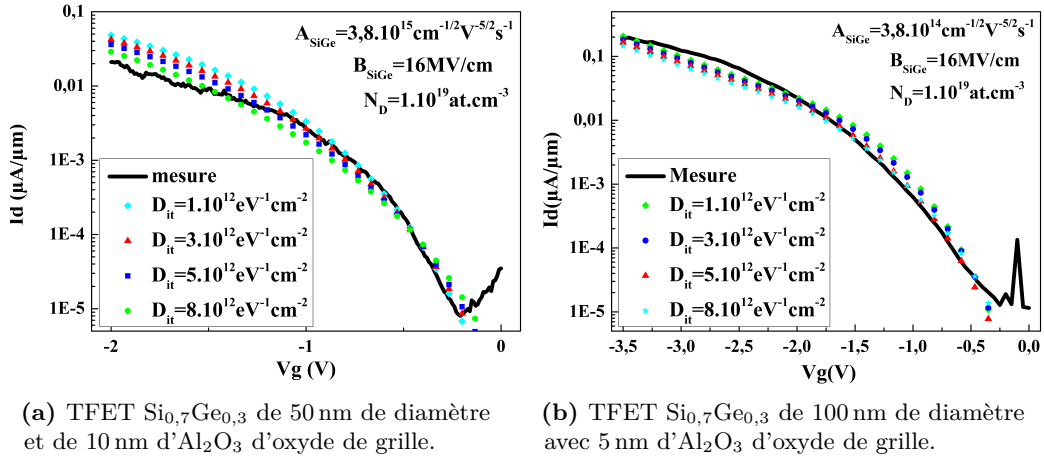
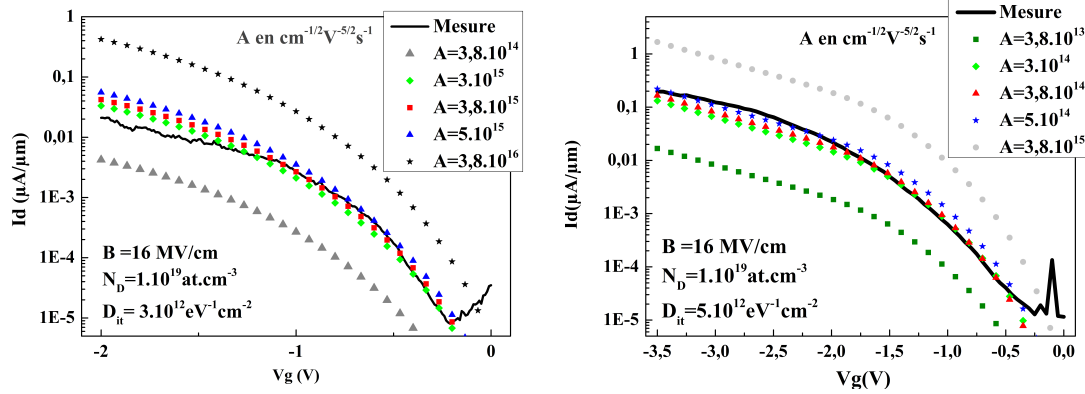


Figure 4.7: Caractéristiques de transfert expérimentale (en trait continu) et simulées (symboles) pour les P-TFET à base d'un nanofil Si_{0,7}Ge_{0,3} de différent diamètre à $V_P = -0,5$ V. Les simulations ont été réalisées pour différentes valeurs de densité d'états d'interface.

par notre approximation. Cependant pour le dispositif de 50 nm, nous avons dû ajuster le facteur A pour obtenir un niveau de courant en accord avec la mesure. Ainsi il est de $A = 3,8 \cdot 10^{15} \text{cm}^{-1/2} \text{V}^{-5/2} \text{s}^{-1}$ contre $3,8 \cdot 10^{14} \text{cm}^{-1/2} \text{V}^{-5/2} \text{s}^{-1}$ la valeur théorique attendue d'après notre approximation et qui correspond assez bien au dispositif de 100 nm. Pour ces simulations, le niveau de dopage de la source a été fixé à $1 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$ et le D_{it} est de $3 \cdot 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ pour le dispositif de 50 nm de diamètre et de $5 \cdot 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ pour celui de 100 nm. Nous avons appliqué deux D_{it} différents, car comme présenté sur les figures 4.7, nous obtenons un meilleur accord entre les simulations et les courbes expérimentales par ces D_{it} , bien que ce paramètre n'influence que légèrement la caractéristique électrique. En effet, le D_{it} dans la simulation est pris en compte comme une quantité de charges supplémentaires à l'interface entre le diélectrique de grille et le silicium qui intervient dans le calcul du champ électrique de la structure. Mais ces états d'interface ne sont pas ici des centres de génération-recombinaison de porteurs pour de la conduction tunnel assistée par les pièges, donc son effet est faible.

Puisque le facteur A a dû être modifié pour obtenir un accord entre les courbes simulées et les données expérimentales, nous avons réalisé des simulations pour différentes valeurs de A (figures a) et b) 4.8), en prenant $B = 16 \text{MV/cm}$ et en gardant les mêmes niveaux de dopage et de D_{it} que précédemment. On observe qu'effectivement ce paramètre est bien différent entre les deux dispositifs pour obtenir un niveau de courant en accord avec les mesures pour un niveau de dopage fixe. Cependant, le TFET de diamètre de 100 nm a un très bon accord avec les valeurs théoriques de A et B et le dopage attendu par les conditions de croissance. De plus, il est important de noter que bien que le facteur A varie entre ces deux TFETs, le paramètre B est quant à lui inchangé et il correspond relativement bien au comportement des courbes électriques expérimentales.

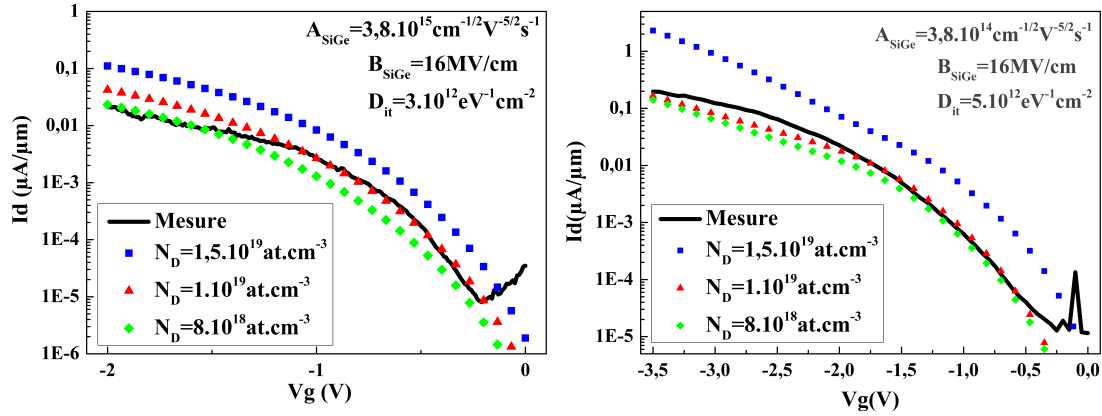
Pour observer l'influence du niveau de dopage de la source, nous avons réalisé des simulations pour différents niveaux de dopage de la source en reprenant la valeur de B estimée et les



(a) TFET Si_{0,7}Ge_{0,3} de 50 nm de diamètre et de 10 nm d'Al₂O₃ d'oxyde de grille.

(b) TFET Si_{0,7}Ge_{0,3} de 100 nm de diamètre avec 5 nm d'Al₂O₃ d'oxyde de grille.

Figure 4.8: Caractéristiques de transfert expérimentale (en trait continu) et simulées (symboles) pour les P-TFET à base d'un nanofil Si_{0,7}Ge_{0,3} de différent diamètre à $V_P = -0,5$ V. Les simulations ont été réalisées pour différentes valeurs du coefficient A du le modèle de Klaassen.



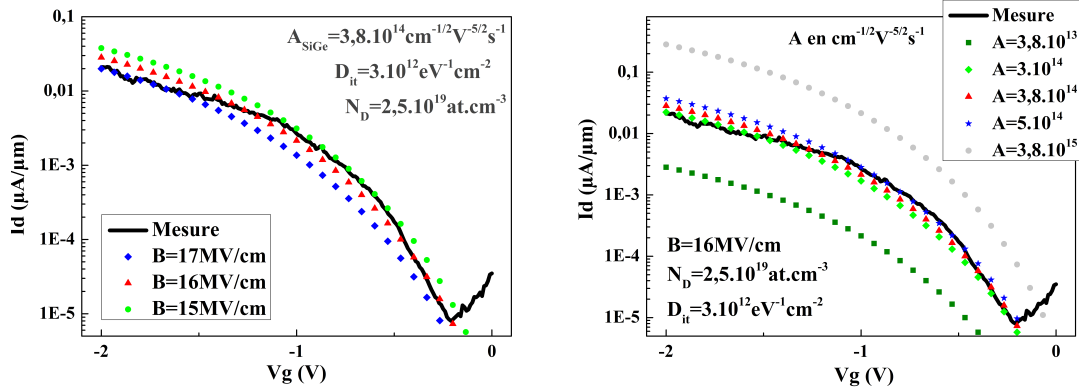
(a) TFET Si_{0,7}Ge_{0,3} de 50 nm de diamètre et de 10 nm d'Al₂O₃ d'oxyde de grille.

(b) TFET Si_{0,7}Ge_{0,3} de 100 nm de diamètre avec 5 nm d'Al₂O₃ d'oxyde de grille.

Figure 4.9: Caractéristiques de transfert expérimentale (en trait continu) et simulées (symboles) pour les P-TFET à base d'un nanofil Si_{0,7}Ge_{0,3} de différent diamètre à $V_P = -0,5$ V. Les simulations ont été réalisées pour différentes valeurs de dopage de la source des TFETs.

coefficients A pour chacun des dispositifs, comme présenté sur les figure 4.9. On observe tout d'abord que pour les deux dispositifs, le niveau de dopage de la source qui donne une caractéristique simulée la plus proche des caractéristiques mesurées est de $1 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$, pour le jeu de paramètres utilisés. De plus on observe qu'une faible variation du niveau de dopage augmente beaucoup le niveau de courant simulé.

Par conséquent, nous avons utilisé un nouveau jeu de paramètres pour nous approcher de la caractéristique électrique du TFET de 50 nm, comme présenté sur les figures 4.10. Nous avons réalisé des simulations pour différentes valeurs de B et de A mais avec un niveau de



(a) Variation du paramètre B du modèle de Klaassen pour le nouveau jeu de paramètres.

(b) Variation du facteur A du modèle de Klaassen pour le nouveau jeu de paramètre.

Figure 4.10: Caractéristiques de transfert expérimentale (en trait continu) et simulées (symboles) pour le TFET $Si_{0,7}Ge_{0,3}$ de 50 nm de diamètre et de 10 nm d' Al_2O_3 d'oxyde de grille à $V_P = -0,5$ V. Les simulations ont été réalisées pour différentes valeurs de B et de A du modèle de Klaassen, pour un dopage de la source de $2,5 \cdot 10^{19} at \cdot cm^{-3}$.

dopage pour la source fixé à $2,5 \cdot 10^{19} at \cdot cm^{-3}$ et un D_{it} de $3 \cdot 10^{12} eV^{-1} cm^{-2}$. Grâce au niveau de dopage de la source plus important on obtient un niveau de courant comparable aux simulations précédentes mais avec le facteur A théorique de $3,8 \cdot 10^{14} cm^{-1/2} V^{-5/2} s^{-1}$ et $B=16MV/cm$ comme présenté sur la figure 4.10(a). Il est important de noter que ce niveau de dopage reste compatible avec les estimations réalisées par les conditions de croissance associée aux mesures de résistivité faites sur de tels nanofils. Pour le moment, nous ne pouvons pas conclure sur le jeu de paramètre qui reflète le mieux la réalité, mais nous pouvons dire que les TFETs SiGe ont un bon accord avec la valeur théorique de B qui vaut $16MV/cm$. Nous reviendrons dans la suite de ce chapitre sur les paramètres de simulation.

En conclusion, notre modèle permet un bon accord avec les données expérimentales et pour cela nous avons utilisé une approximation qui semble correcte pour une concentration de germanium suffisamment faible dans la matrice de silicium des nanofils. Nous avons donc une estimation du coefficient B en fonction de données expérimentales contrairement à la littérature, où seul des valeurs théoriques sont accessibles.

4.2.4 Conclusion sur les transistors nanofil à alliage Si-Ge (30% de Ge)

L'utilisation de l'alliage $Si_{0,7}Ge_{0,3}$ a permis l'augmentation du niveau de courant des dispositifs par rapport aux TFETs en silicium. De plus, les composants à base de nanofil $Si_{0,7}Ge_{0,3}$ ont montré des niveaux de courant similaire à ceux réalisés à base de nanofil de silicium, pour des tensions de drain inférieures à $0,5$ V. Cependant, nous avons observé une forte densité d'états d'interface entre le canal $Si_{0,7}Ge_{0,3}$ et l'oxyde Al_2O_3 , ce qui induit des valeurs de SS importantes. Malgré tout nous avons obtenu un bon accord entre la simulation des courbes théoriques et les courbes expérimentales.

4.3 Les hétérostructures Si/Si/SiGe avec 30% de germanium.

Comme nous souhaitons diminuer encore la valeur de SS et garder un bon niveau de courant à l'état On de nos transistors, nous avons choisi de réaliser des TFET à hétérostructure ayant la partie source à base de $Si_{0,7}Ge_{0,3}$ et les parties drain et canal en silicium, comme présenté sur le schéma a) 4.11. Ainsi nous devrions obtenir un fort niveau de courant, tout en gardant une interface Si/oxyde correcte et supprimant par la même occasion le mécanisme SRH qui participe au courant à l'état Off de notre transistor, et qui augmente la valeur de la SS .

4.3.1 En quoi une hétérostructure est-elle bénéfique pour les performances des TFETs ?

Les hétérostructures permettent d'améliorer les performances des TFETs, si on utilise des matériaux de gap différents afin d'augmenter la probabilité d'effet tunnel entre la partie source et le canal. Cet effet est compréhensible directement grâce aux diagrammes de bande de la figure b) 4.11 : en noir les bandes de conduction et de valence d'un P-TFET à base d'un nanofil de silicium, en bleu celles pour le même dispositif mais avec un nanofil $Si_{0,7}Ge_{0,3}$ et en rouge celles pour une hétérostructure Si/Si/ $Si_{0,7}Ge_{0,3}$. Ces diagrammes de bandes ont été obtenus par simulation pour $V_G = -0,2$ V et $V_P = -0,5$ V et avec l'approximation que toutes les interfaces soient abruptes. Nous avons aligné les niveaux de bandes de valence pour faciliter la comparaison. Le saut de gap permet d'augmenter le nombre de niveaux d'énergie pouvant contribuer à la conduction BBT et la largeur de la barrière est également réduite par rapport au TFET à base de silicium pur. Grâce aux parties intrinsèque et drain en silicium, l'hétérostructure a un courant de fermeture plus faible, puisque la recombinaison SRH est diminuée dans ce matériau par rapport au TFET entièrement composée de $Si_{0,7}Ge_{0,3}$. De plus, en gardant un dopage faible sur la partie drain silicium, le comportement ambipolaire du TFET devrait être supprimé.

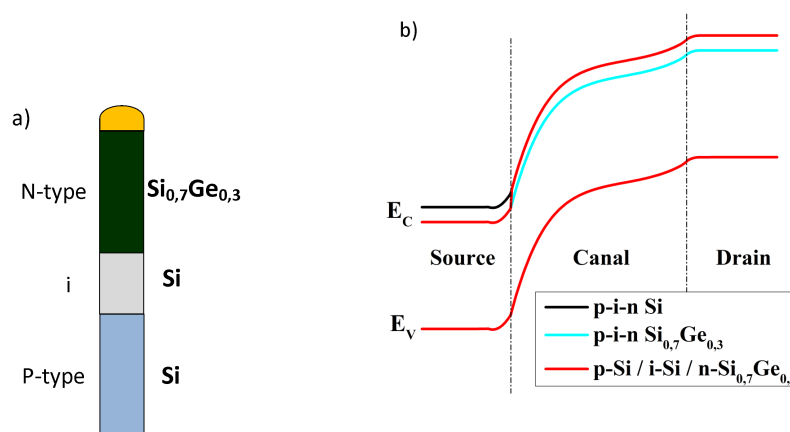


Figure 4.11: a) Schéma du nanofil Si/Si/Si_{0,7}Ge_{0,3}. b) Diagrammes de bandes de nanofils Si, Si_{0,7}Ge_{0,3} et Si/Si/Si_{0,7}Ge_{0,3}.

4.3.2 Le profil de dopage et de composition pour une hétérostructure

Nous avons fait croître une hétérostructure Si/Si/SiGe avec la partie source contenant 30% de germanium à 450 °C (les paramètres de croissances sont détaillés dans le tableau 4.7 et le schéma 4.11 a)). D'après les conditions de croissance, la partie source $\text{Si}_{0,7}\text{Ge}_{0,3}$ est dopée à un niveau compris entre $3 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$ et $6 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$. Quant à la partie silicium, le dopage in-situ a été réalisé à une température beaucoup plus faible que lors des précédentes croissances et nous n'avons pas de mesure de résistivité sur cette partie pour savoir si le dopage est efficace sur cette région. Par conséquent, nous avons souhaité observer la modulation du dopage le long de ce nanofil et en particulier de la partie silicium par SCM.

Table 4.7: Paramètres de croissance des nanofils Si/Si/SiGe crus à 450 °C et une pression de 4,5Torr avec un flux d'HCl de 40sccm.

	SiH ₄	GeH ₄	B ₂ H ₆ /SiH ₄	PH ₃ /SiH ₄ +GeH ₄
Si P-type	90	0	$1.7 \cdot 10^{-3}$	0
Si intrinsèque	90	0	0	0
Si _{0,7} Ge _{0,3}	45	90	0	$2,1 \cdot 10^{-3}$

Nous rappelons que la mesure SCM dépend de la qualité de l'oxyde natif utilisé ici comme oxyde d'une capacité MOS. Or l'oxyde natif du matériau $\text{Si}_{0,7}\text{Ge}_{0,3}$ n'est pas forcément de la même qualité, ni composition que l'oxyde natif de silicium [126], donc par cette technique nous ne pouvons pas comparer le niveau de dopage de la partie n et de la partie p.

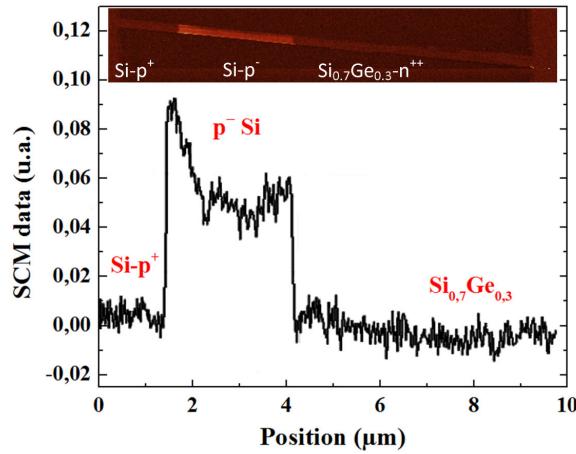


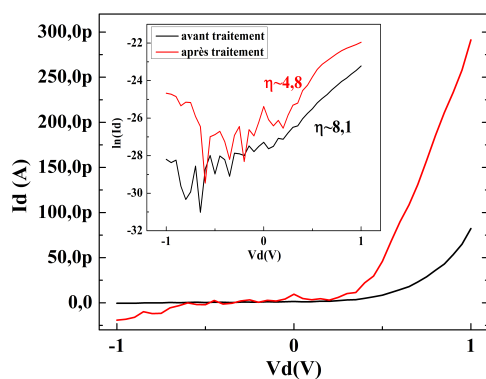
Figure 4.12: Image SCM et profil dC/dV correspondant (moyenné sur la largeur du nanofil) réalisés sur un nanofil Si/Si/SiGe obtenue pour $V_{DC} = -1 \text{ V}$.

Sur l'image SCM de la figure 4.12, on observe bien les trois zones du nanofil, c'est-à-dire les parties drain et intrinsèque de silicium et la partie source $\text{Si}_{0,7}\text{Ge}_{0,3}$. Le fait que la partie SiGe soit faiblement modulée peut être dû à un fort dopage de cette zone qui serait effectivement de type n puisque le signal dC/dV est légèrement négatif, mais aussi à une densité de pièges importante dans l'oxyde natif, ce qui empêcherait de dépléter cette zone [126]. Le profil SCM de la partie drain en silicium est de faible amplitude et positive, donc

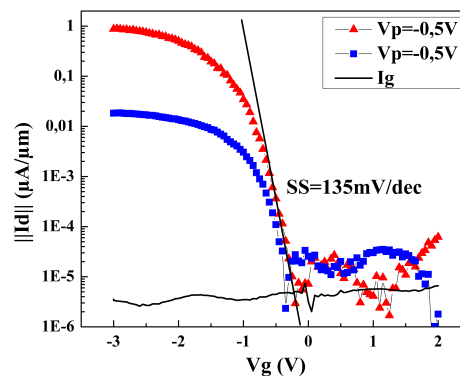
fortement dopée de type p. La partie intrinsèque quant à elle, est légèrement dopée p, car son profil SCM est positif et de plus forte amplitude. Les données SCM recueillies sur les parties silicium de ce nanofil permettent de valider que le dopage de la partie silicium est bien effectif, même pour une température de croissance de 450 °C.

4.3.3 Les mesures électriques du TFET Si/Si/Si_{0,7}Ge_{0,3}

La caractéristique électrique de ce dispositif à base d'hétérostructure Si/Si/Si_{0,7}Ge_{0,3} est présentée sur la figure 4.13(a). On observe qu'après le dépôt de 10 nm d'alumine comme oxyde de grille à 250 °C le niveau de courant et le facteur d'idéalité du nanofil sont améliorés, bien que ce dernier reste très important. En effet, le dépôt d'oxyde a dû permettre de passiver la surface du silicium intrinsèque. Cependant, le niveau de courant reste très faible, probablement à cause de résistance d'accès importante. Le niveau de courant bloquant de la diode est compris entre $1 \cdot 10^{-13}$ A à $2 \cdot 10^{-11}$ A, ce qui nous assure d'avoir un niveau de courant I_{off} faible du TFET.



(a) Courbe $I_{DS}(V_{DS})$ avant et après le dépôt d'oxyde (respectivement en noir et en rouge).



(b) Caractéristiques de transfert du TFET Si/Si/Si_{0,7}Ge_{0,3} pour $V_{DS} = -0,5$ V en triangle rouge et à $V_{DS} = -0,1$ V en carré bleu.

Figure 4.13: Caractéristiques de diode et de transfert de l'hétérostructure Si/Si/Si_{0,7}Ge_{0,3} ayant un diamètre d'environ 89 nm.

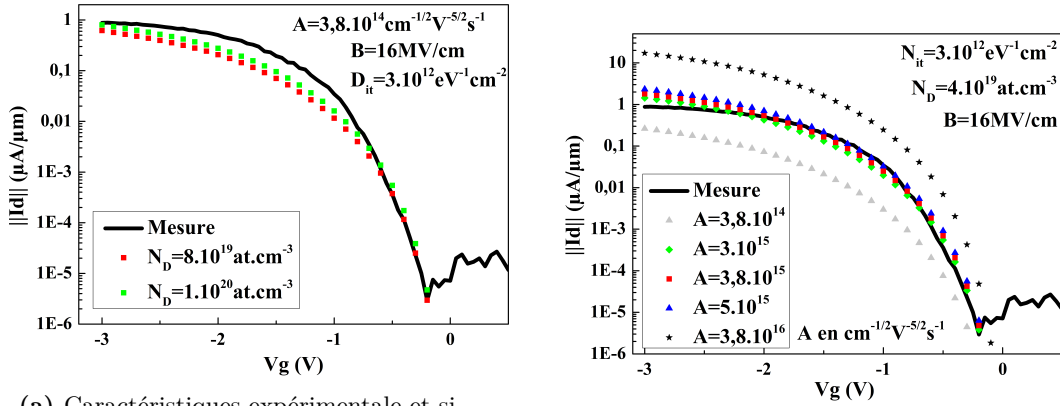
Les caractéristiques de transfert obtenues sur cette hétérostructure, sont présentées sur la figure 4.13(b) pour $V_P = -0,5$ V en triangle rouge et pour $V_P = -0,1$ V en carré bleu. Tout d'abord on observe que le courant I_{off} est invariant en fonction de la tension drain. De plus, ce dispositif ne présente pas un comportement ambipolaire. Donc la partie drain silicium joue bien son rôle dans la suppression de la conduction SRH, et le dopage du côté drain est suffisamment faible pour empêcher la conduction BBT par la jonction p-i. Ensuite on constate que le niveau de courant de ce TFET est bien plus important que dans les précédents dispositifs pour les mêmes valeurs de tensions appliquées. En effet, le niveau de courant I_{on} vaut $0,877 \mu A/\mu m$ à $V_G = -3$ V et $V_P = -0,5$ V, avec un SS de 135 mV/dec. L'inverse de la pente sous le seuil est plus faible que ceux obtenus sur les TFETs à nanofils

de silicium, même optimisé. Cette amélioration est certainement due à l'augmentation de la probabilité d'effet tunnel entre les parties source et intrinsèque et à la suppression de la conduction SRH par rapport aux TFETs entièrement composé de SiGe.

On peut noter également que le niveau de courant obtenu pour ce dispositif à $V_P = -0,1$ V (courbe en carré bleu de la figure 4.13(b)) est de $13,5 \cdot 10^{-3} \mu\text{A}/\mu\text{m}$ à $V_G = -2$ V, donc il est du même ordre de grandeur que ceux obtenus pour les homojonctions de silicium et de $\text{Si}_{0,7}\text{Ge}_{0,3}$ pour $V_P = -0,5$ V (cf tableaux 3.2, 4.2 et 4.3).

4.3.4 Simulation des courbes électriques du TFET Si/Si/Si_{0,7}Ge_{0,3}

Nous avons simulé la caractéristique de transfert d'un P-TFET à hétérostructure Si/Si/Si_{0,7}Ge_{0,3} par notre modèle de simulation. Nous avons tout d'abord utilisé les paramètres théoriques précédemment utilisés pour le matériau Si_{0,7}Ge_{0,3} de la source : $A_{\text{SiGe}} = 3,8 \cdot 10^{14} \text{cm}^{-1/2} \text{V}^{-5/2} \text{s}^{-1}$ et $B_{\text{Si}_{0,7}\text{Ge}_{0,3}} = 16 \text{MV} \cdot \text{cm}^{-1}$. Et nous avons appliqué ceux du silicium pour les parties canal et drain : $A_{\text{Si}} = 4 \cdot 10^{14} \text{cm}^{-1/2} \text{V}^{-5/2} \text{s}^{-1}$ et $B_{\text{Si}} = 19 \text{MV} \cdot \text{cm}^{-1}$. Comme dans notre simulation, nous avons fait le choix de ne pas prendre en compte la variation de la masse effective des porteurs d'un matériau à l'autre, nous pouvons appliquer les mêmes paramètres que pour le TFET entièrement composé de Si_{0,7}Ge_{0,3}. De plus dans les travaux de Verhulst et al. [29], le calcul des probabilités tunnel d'une structure composée entièrement de germanium et d'une hétérostructure Si/Si/Ge, ne prenant pas en compte le changement de la masse effective des porteurs dans le germanium a été réalisé. Les valeurs obtenues pour ces deux configurations sont respectivement de 0,027 et de 0,024. L'écart entre ces deux probabilités étant relativement faible, nous supposons donc que l'erreur commise par notre approximation est relativement faible.



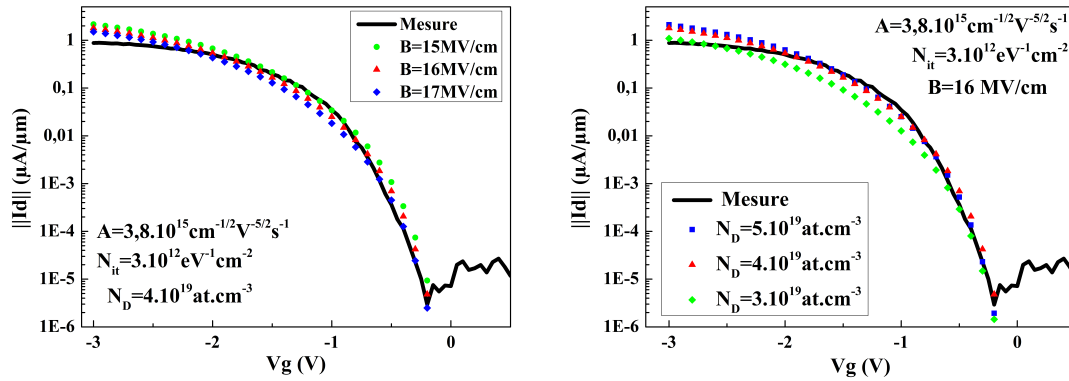
(a) Caractéristiques expérimentales et simulées pour différentes valeurs de niveau de dopage de la source et pour $A_{\text{SiGe}} = 3,8 \cdot 10^{14} \text{cm}^{-1/2} \text{V}^{-5/2} \text{s}^{-1}$ et $B_{\text{SiGe}} = 16 \text{MV}/\text{cm}$.

(b) Caractéristiques expérimentales et simulées pour différentes valeurs du facteur A_{SiGe} , avec $B_{\text{SiGe}} = 16 \text{MV}/\text{cm}$ et $N_D = 4 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$.

Figure 4.14: Caractéristiques de transfert expérimentales (en trait continu) et simulées (symboles) pour le P-TFET Si/Si/Si_{0,7}Ge_{0,3} à $V_P = -0,5$ V de 89 nm de diamètre.

Comme précédemment, nous avons fait varier le niveau de dopage de la source pour obtenir un niveau de courant correspondant à la mesure. Or on observe sur la figure 4.14(a) que

l'accord est loin d'être idéal, et cela même pour un niveau de dopage très important, qui est de plus, loin des valeurs estimées à partir des conditions de croissance. Donc nous avons fait des simulations dans l'optique de changer la valeur de A et de garder le niveau de dopage de la source autour des valeurs attendues par les conditions de croissance, c'est-à-dire $N_D = 4 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$. Ces simulations sont représentées sur la figure 4.15(b) pour différentes valeurs du facteur A. On observe que le facteur A qui correspond le mieux à la caractéristique expérimentale vaut $A_{\text{SiGe}} = 3,8 \cdot 10^{15} \text{cm}^{-1/2} \text{V}^{-5/2} \text{s}^{-1}$. Ce qui est la valeur utilisée pour une partie des simulations du P-TFET $\text{Si}_{0,7}\text{Ge}_{0,3}$ de 50 nm.



(a) Caractéristiques expérimentale et simulées pour différentes valeurs du facteur B_{SiGe} , avec $A_{\text{SiGe}} = 3,8 \cdot 10^{15} \text{cm}^{-1/2} \text{V}^{-5/2} \text{s}^{-1}$ et $N_D = 4 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$.

(b) Caractéristiques expérimentale et simulées pour différentes valeurs de dopage de la source, avec $A_{\text{SiGe}} = 3,8 \cdot 10^{15} \text{cm}^{-1/2} \text{V}^{-5/2} \text{s}^{-1}$ et $B_{\text{SiGe}} = 16 \text{MV/cm}$.

Figure 4.15: Caractéristiques de transfert expérimentales (en trait continu) et simulées (symboles) pour le P-TFET $\text{Si}/\text{SiSi}_{0,7}\text{Ge}_{0,3}$ à $V_P = -0,5 \text{V}$ de 89 nm de diamètre.

Pour vérifier le bon accord entre la caractéristique de transfert de l'hétérostructure et les simulations par ce jeu de paramètres, nous avons fait varier le paramètre B sur les courbes de la figure 4.15(a). On constate que le coefficient B de 16MV/cm a un bon accord avec la mesure pour les valeurs de A et N_D fixés. Donc pour ces valeurs de A et B, nous avons également utilisé différentes valeurs de niveau de dopage de la partie source et encore une fois nous trouvons un bon accord pour $N_D = 4 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$, la valeur estimée par les conditions de croissance. Enfin, nous avons fait varier la densité d'états à l'interface sur la figure 4.16 et nous observons que le D_{it} le plus adéquat à notre mesure est d'environ $3 \cdot 10^{12} \text{eV}^{-1} \text{cm}^{-2}$.

Par conséquent, la simulation nous permet de fixer la valeur de B pour le matériau $\text{Si}_{0,7}\text{Ge}_{0,3}$ à 16MV/cm dans notre cas. Les autres paramètres pour la simulation des caractéristiques électriques de l'hétérostructure semblent plus discutables, bien qu'un niveau de dopage à $N_D = 4 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$ de la source soit attendue et donne des niveaux de courant compatibles avec la mesure.

Maintenant, on peut comparer les résultats obtenus sur ce dispositif à des hétérostructures $\text{Si}/\text{Si}/\text{Si}_{1-x}\text{Ge}_x$ rapportées de la littérature, dans le tableau 4.8. On constate alors que pour le dispositif le plus proche de notre structure, réalisé par Vandooren et al. [47], notre dispositif a des performances du même ordre de grandeur, bien qu'ils aient obtenu une

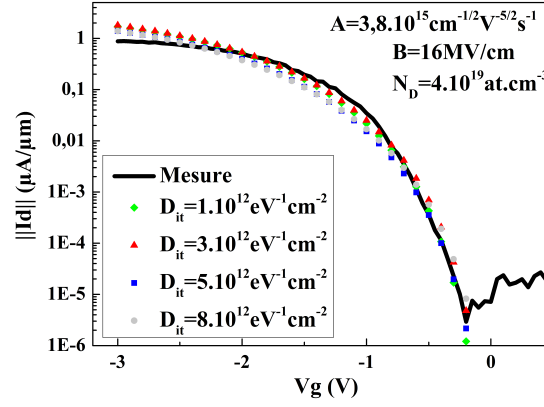


Figure 4.16: Caractéristiques expérimentale et simulées pour différentes valeurs de la densité d'états à l'interface silicium/oxyde.

pente sous le seuil plus faible. D'après notre recherche bibliographique, on constate que le dispositif ayant les meilleurs performances a été réalisé par CVD-VLS avec une source en germanium, par Dayeh et al. [132]. Donc les performances des TFETs peuvent être encore améliorées par l'augmentation de la concentration de germanium dans la source, et ceci va être l'objet de la suite de ce chapitre.

Table 4.8: Comparaison des résultats obtenues dans les précédents travaux rapportés sur les transistors horizontaux en couche ou nanofils SiGe.

	Dayeh et al. [132]	Vandooren et al. [47]	Richter et al. [49]	Notre étude
année	2010	2013	2014	2015
NW	VLS-CVD	gravure	gravure	VLS-CVD
structure	Si/Si/Ge	Si/Si/Si _{0,73} Ge _{0,23} n-i-p ⁺	Si/Si/Si _{0,5} Ge _{0,5} n-i-p ⁺	Si/Si/Si _{0,7} Ge _{0,3} p-i-n ⁺
dopage n	?	?	$1 \cdot 10^{15} \text{cm}^{-2}$	$4 \cdot 10^{19} \text{cm}^{-3}$
dopage p	?	$1 \cdot 10^{20} \text{cm}^{-3}$	$2 \cdot 10^{20} \text{cm}^{-3}$?
recuit	siliciuration 300 °C	non	siliciuration 400 °C	non
diamètre	27 nm	200 nm	40 nm	89 nm
Oxyde	10 nm SiN _x	3 nm HfO ₂	4 nm HfO ₂	10 nm Al ₂ O ₃
I _{on}	83,6 μA/μm V _D = 0,5 V V _G = -2 V	0,1 μA V _N = 0,9 V V _G = 2 V	0,5 μA/μm V _N = 0.1 V V _G = 3 V	0,87 μA/μm V _P = -0,5 V V _G = -3 V
SS	?	?	90 mV/dec	135 mV/dec
I _{on} /I _{off}	$\sim 1 \cdot 10^5$	$\sim 10^7$	$\sim 10^8$	$\sim 10^5$
géométrie	Ω-gate	grille enrobante	Ω-gate	Ω-gate

4.4 Optimisation de l'hétérostructure Si/Si/SiGe.

4.4.1 Augmentation de la concentration de germanium dans les nanofils pour l'intégration horizontale.

Pour augmenter encore le niveau de courant des TFET, nous avons essayé de faire croître des hétérostructures avec une source $\text{Si}_{0,5}\text{Ge}_{0,5}$ pour une intégration horizontale à partir de colloïdes de 100 nm de diamètre. L'images MEB et paramètres de croissance de ces nanofils sont présentés respectivement sur la figure 4.17 et le tableau 4.9.

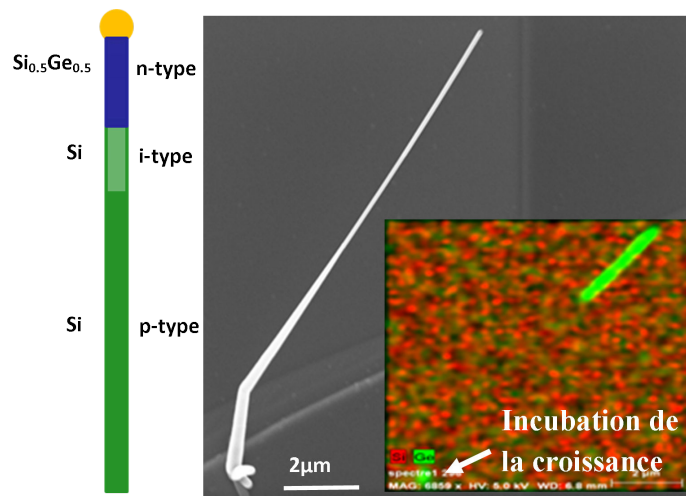


Figure 4.17: Schéma de la structure et image MEB avec l'analyse EDX associée d'une hétérostructure Si/Si/Si_{0,5}Ge_{0,5}.

Table 4.9: Paramètres de croissance des nanofils Si/Si/Si_{0,5}Ge_{0,5} crus à 450 °C et une pression de 4,5Torr avec un flux d'HCl de 40sccm.

	SiH ₄	GeH ₄	B ₂ H ₆ /SiH ₄	PH ₃ /SiH ₄ +GeH ₄
Si P-type	90	0	$1,7 \cdot 10^{-3}$	0
Si intrinsèque	90	0	0	0
Si _{0,5} Ge _{0,5}	45	45	0	$1,7 \cdot 10^{-3}$

On observe sur l'image MEB que le nanofil à une forme conique, le bas des nanofils a un diamètre d'environ 310 nm contre approximativement 40 nm de diamètre au sommet du nanofil. Cette croissance 2D peut être composée de silicium ou de germanium dopé phosphore. Sur l'image EDX associée à l'image MEB, on n'observe pas de présence de germanium le long de la partie conique du nanofil (en vert sur l'image EDX), alors que l'on observe la présence du germanium au bas du fil due à l'incubation de la croissance par une partie Si_{0,7}Ge_{0,3} intrinsèque. Donc nous supposons que la partie conique n'est pas composée de germanium, ou dans des proportions très faibles. La croissance de ces nanofils est longue et réalisée avec un flux de HCl de 40sccm. Or nous avons vu précédemment que ce flux est de 100sccm lors des croissances de nanofil de silicium pour leur garantir un diamètre presque constant. Mais à cause de l'interaction de ce gaz avec le germanium, nous devons l'abaisser pour obtenir la partie Si_{0,5}Ge_{0,5}. Et nous ne pouvons pas modifier

le flux de HCl pendant la croissance sans provoquer une perturbation du catalyseur ce qui risque de supprimer la verticalité des nanofils. Or, un temps long de croissance associé à un faible flux de HCl est la cause de la formation de la coquille 2D le long du nanofil. De plus, au vu de la diminution du diamètre, nous supposons que de l'or est perdu pendant la croissance. Ce phénomène est inévitable pendant une croissance VLS, mais lorsque des nanofils sont crus avec un fort flux de HCl, la perte d'or est bien moins importante. En effet, nous avons réalisé des croissances dans les mêmes conditions de la partie silicium avec un flux de 80sccm de HCl et la forme conique des nanofils est quasiment nulle.

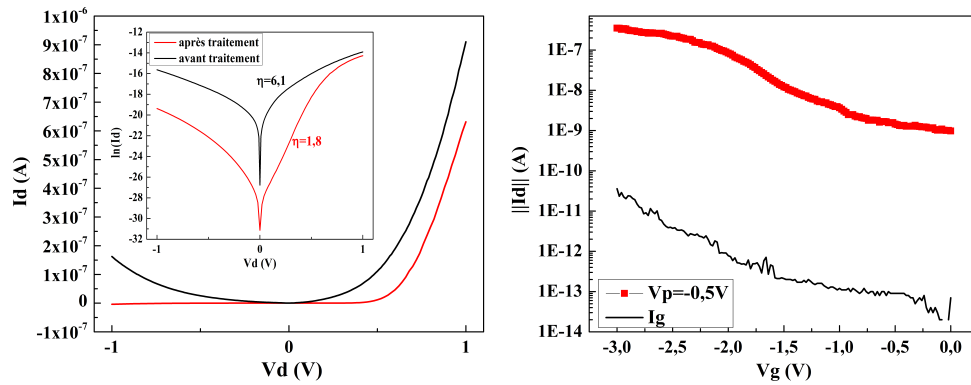


Figure 4.18: Mesures en configuration de diode (figure de gauche) avant et après dépôt d'alumine, et transfert caractéristique du TFET obtenu pour une tension $V_p = -0.5$ V.

Malgré la forme conique des nanofils, nous les avons intégrés en TFET horizontaux, et le meilleur résultat obtenu est présenté sur les figures 4.18. On observe que le courant de diode est diminué après le dépôt de 6.5 nm d'alumine comme oxyde de grille mais que le facteur d'idéalité est amélioré. Le courant de blocage de la diode est compris entre $2,4 \cdot 10^{-12}$ A et $1,6 \cdot 10^{-7}$ A après dépôt d'oxyde pour $V_{DS} = 0$ V et $V_{DS} = -1$ V respectivement. Donc un courant plus important que celui de la diode attendu en polarisation inverse traverse la structure, ce qui va augmenter le niveau de courant de fermeture du TFET et dégrader la pente sous le seuil. Le niveau de courant de ce dispositif en mode TFET est de 364,7 nA à $V_g = -3$ V et $V_p = -0,5$ V et le SS vaut environ 635 mV/dec. Vu la forme conique du nanofil, on peut prendre le de la partie intrinsèque comme diamètre effectif du nanofil qui est donc de 45 nm. Le niveau de courant normalisé de ce dispositif est alors de $2,9 \mu\text{A}/\mu\text{m}$. Donc le niveau de courant a effectivement augmenté avec l'insertion de germanium, mais l'inverse de pente sous le seuil est dégradé par rapport à nos précédents dispositifs, probablement à cause du fort courant qui traverse la diode en polarisation inverse. De plus au vu de la caractéristique de diode, nous ne pouvons pas être certain que d'autres mécanismes n'entrent pas en jeu dans ce dispositif pour augmenter le niveau de courant.

Donc pour remédier à cela et obtenir une bonne morphologie des nanofils avec un fort pourcentage de germanium, la solution proposée est de réduire drastiquement les temps de croissance, c'est-à-dire de passer à une configuration d'intégration verticale pour faire croître des nanofils très courts.

4.4.2 Le TFET à nanofils Si/Si/Si_{0,3}Si_{0,7} verticaux

Après toutes les optimisations considérées, il apparaît que la structure optimale serait un TFET avec une grille totalement enrobante et une forte concentration de germanium pour la partie source. Par conséquent, nous avons utilisé l'intégration verticale des nanofils qui permet la réalisation d'une grille optimisée et dont la longueur des nanofils peut-être drastiquement réduite. Comme cela est présenté sur l'images MEB 4.19 de gauche, les nanofils croissent dans un motif, réalisé grâce à la localisation des catalyseurs d'or. Puis nous avons déposé 8 nm d'HfO₂ comme oxyde de grille sur tous les nanofils, pour ensuite définir par lithographie optique et lift-off les contacts de grille. Enfin, nous avons isolé ce contact par un diélectrique nommé « ACCUFLO » pour finalement reprendre le contact de drain au sommet des nanofils. Plus de détails sur les étapes de l'intégration verticale sont donnés dans la section 2.2.3. Le dispositif final est présenté sur l'image MEB 4.19 de droite.

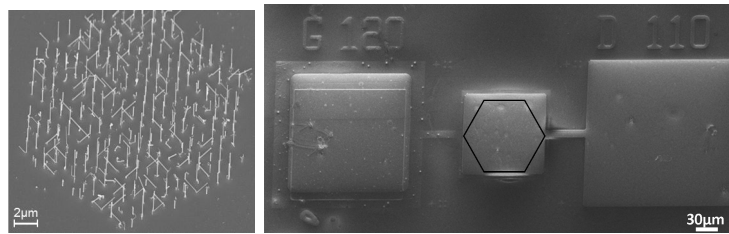


Figure 4.19: Images MEB d'une zone de croissance des nanofils verticaux Si/Si/Si_{0,3}Si_{0,7} pour l'intégration verticale (droite), et du dispositif final obtenu (gauche).

4.4.2.1 La structure

Nous avons réalisé une hétérostructure Si/Si/Si_{0,3}Si_{0,7} sur substrat localisé, d'une longueur de 1,5 μm et d'un diamètre d'environ 70 nm. Les paramètres de cette croissance et l'image MEB d'un nanofil sont présentés dans le tableau 4.10 et la figure 4.20.

Table 4.10: Paramètres de croissance de l'hétérostructure Si/Si/Si_{0,3}Ge_{0,7} pour l'intégration verticale.

	SiH ₄	GeH ₄	B ₂ H ₆ /SiH ₄	PH ₃ /SiH ₄ +GeH ₄
Si P-type	90	0	$1.7 \cdot 10^{-3}$	0
Si intrinsèque	90	0	0	0
Si _{0,3} Ge _{0,7}	45	90	0	$3,7 \cdot 10^{-3}$

Nous n'avons pas réalisé de mesure de dopage sur des nanofils SiGe contenant autant de germanium. Mais si nous nous référons à des mesures réalisées pour des nanofils en contenant 50%, le niveau de dopage attendu pour la partie Si_{0,3}Ge_{0,7} est de l'ordre de $1 \cdot 10^{19} \text{at} \cdot \text{cm}^{-3}$. La partie drain quant-à elle doit avoir le même niveau de dopage que celle de l'hétérostructure Si/Si/Si_{0,7}Ge_{0,3}, laquelle a montré un niveau de dopage supérieur à la partie intrinsèque sur la mesure SCM 4.12.

Les nanofils obtenus sont généralement droits, à part quelques uns coudés au moment de l'arrêt de croissance, comme on peut l'observer sur la figure de droite 4.19. Le diamètre

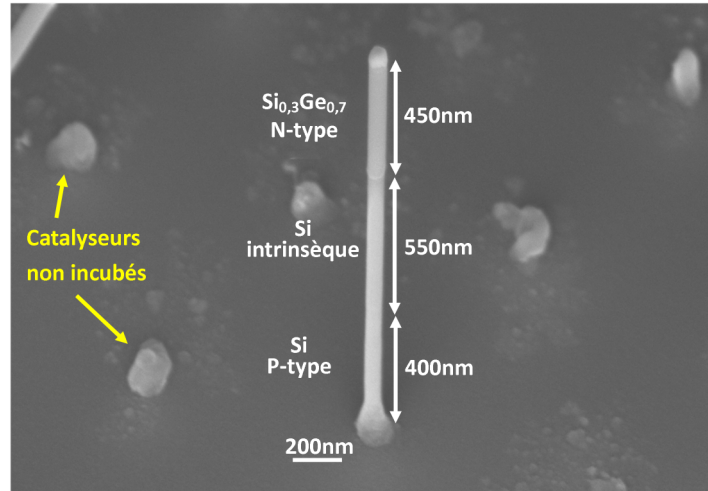


Figure 4.20: Image MEB de l'hétérostructure Si/Si/Si_{0,3}Ge_{0,7} pour l'intégration verticale.

des nanofils bien que relativement constants, subit une variation à la jonction Si–Si_{0,3}Ge_{0,7} (figure 4.20). Ceci est dû à une des propriétés des nanofils crus par VLS : ils peuvent relâcher les énergies de contraintes par une déformation élastique par leurs flancs. En effet aucune dislocation n'a été observée sur les images HAADF–STEM réalisées sur ce type de nanofil [79], et ces images STEM ont été couplées à de « geometric phase analysis (GPA) » pour démontrer que les hétérojonctions étaient sujettes à une contrainte élastique mais pas à une contrainte plastique qui aurait alors induit des dislocations [79, 57]. Donc ces nanofils ont une bonne morphologie pour l'intégration verticale.

Sur l'image MEB 4.20 du nanofil vertical, on observe cependant que des catalyseurs n'ont pas participé à la croissance. Ceci est dû au temps d'incubation court que nous avons utilisé pour cette croissance, car nous ne voulions pas faire croître une longue partie intrinsèque Si_{0,7}Ge_{0,3} par rapport au reste du nanofil. La contre partie de ce temps court est que nous n'avons pas une densité fixe de nanofils crus dans les motifs. Donc nous avons réalisé l'intégration verticale sur des structures contenant beaucoup moins de nanofils que prévus. De plus parmi les nanofils crus, certains n'ont pas la bonne longueur donc ils ne vont pas participer à la conduction puisqu'ils ne seront pas connectés au contact de drain.

4.4.2.2 Caractéristique électrique du TFET à nanofils Si/Si/Si_{0,3}Si_{0,7} verticaux

Les mesures électriques présentées sur les figures 4.21 ont été obtenues juste après la réalisation du dispositif. On observe que le courant de la diode est très faible par rapport aux précédents dispositifs présentés durant la thèse. Cependant, nous avons attribué cela à d'importantes résistances de contacts. Sur la figure 4.21(b), la caractéristique de transfert présente une résistance de contact importante mais aussi une excellente valeur d'inverse de pente sous le seuil. En effet, le courant I_{on} est de 0,4 nA à $V_P = -1$ V et de 3,4 nA à $V_P = -1,5$ V, pour $V_G = -0,6$ V (le niveau de courant de saturation étant atteint pour cette valeur de tension de grille). Et l'inverse de la pente sous le seuil est de 85 mV/dec et de 94 mV/dec pour $V_P = -1$ V et $V_P = -1,5$ V respectivement. Cette amélioration de

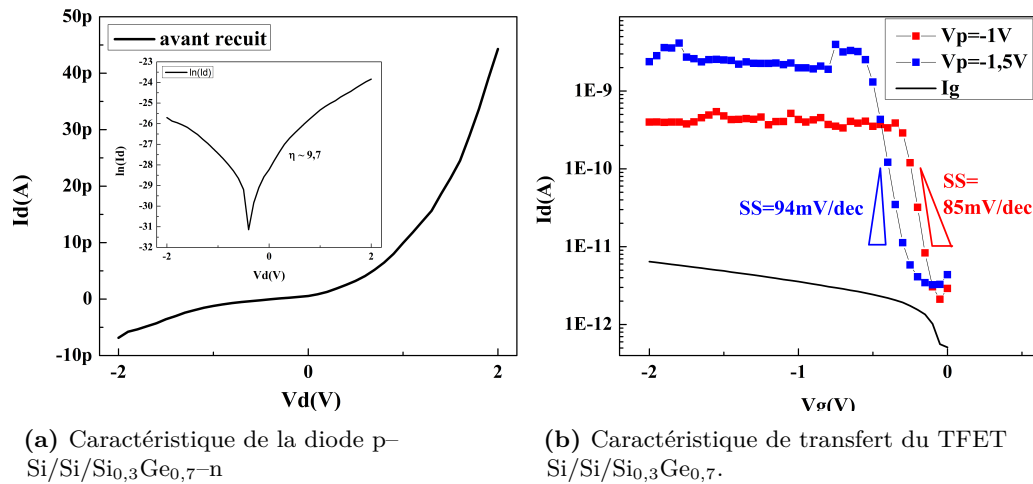


Figure 4.21: Caractéristique électriques de l'hétérostructure Si/Si/Si_{0,3}Ge_{0,7} pour l'intégration verticale avant recuit.

l'inverse de la pente sous le seuil est à relier au bon contrôle électrostatique de la grille enrobante sur le canal, et au faible EOT qui est de 1,56 nm (8 nm de HfO₂, comme oxyde de grille). Il est important de noter que nous n'avons pas placé de couche interfaciale d'alumine pour diminuer la densité de pièges à l'interface. Donc nous supposons qu'il est possible de diminuer le SS obtenu grâce à une réduction du D_{it} . En effet, il a été rapporté dans l'étude de Soundarapandian et al.[133] une valeur de SS d'environ 30mV/dec pour un TFET Si/Si/Si_{0,8}Ge_{0,2} en configuration verticale à grille enrobante pour un oxyde de grille de 4,5 nm de SiO₂.

On peut également observer sur la caractéristique de transfert à $V_P = -1,5$ V (en bleue sur la figure 4.21) que ce dispositif n'est pas ambipolaire grâce au bon contrôle de la croissance. Cependant, les tension de drain appliquées ici sont supérieures à celle précédemment utilisées, mais les résistances d'accès de ce dispositif sont telles que pour des tensions plus faibles, nous n'avons pas une modulation du courant sur une décade.

Pour nous affranchir de ces résistances d'accès, nous avons réalisé un recuit sous « forming gas » à 250 °C pendant 5min. La mesure présentée en figure 4.22 en trait continu rouge montre une amélioration du niveau de courant et du facteur d'idéalité de la diode après recuit. En effet, le niveau de courant à l'état passant de la structure p-i-n est environ 900 fois supérieur à celui avant recuit, et le facteur d'idéalité est de 2,1 contre 9,7 avant recuit. Cependant, suite à ce recuit, le courant de fuite de l'oxyde de grille est considérable, ce qui nous empêche de contrôler les bandes d'énergie de la partie intrinsèque.

4.4.3 Conclusion sur l'optimisation des hétérostructures.

Nous avons cherché à augmenter le niveau de courant des TFETs réalisés à partir de nanofils VLS en insérant de forte concentration de germanium dans la partie source de l'hétérostructure. Or nous nous sommes rendu compte que la croissance de telles hétérostructures était sujette à un compromis sur les temps de croissance pour obtenir

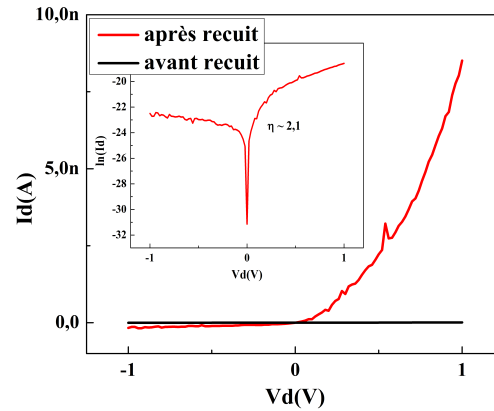


Figure 4.22: Mesures deux points avant recuit en noire et après recuit en rouge du dispositif à hétérostructure verticale.

des nanofils exploitables dans des TFETs. Donc nous avons réalisé un TFET à nanofils Si/Si/Si_{0,3}Si_{0,7} verticaux, et nous avons obtenu des valeurs d'inverse de pente sous le seuil encourageantes. Cependant le niveau de courant de cette structure est très faible et ceci est probablement dû à une résistance d'accès importante. Nous avons essayé de supprimer cette résistance d'accès par un recuit, mais cela n'a pas donné le résultat escompté.

4.5 Conclusion du chapitre

Dans ce chapitre, nous avons étudié les propriétés électriques de Tunnel FETs à base d'homojonction et d'hétérostructure contenant une certaine concentration de germanium, dans le but d'augmenter le niveau de courant de ces dispositifs. Nous avons montré que cette voie était prometteuse grâce aux résultats obtenus sur des TFETs à base de nanofil unique Si_{0,7}Ge_{0,3}. Ensuite, nous avons montré que la meilleure structure pour les TFETs à base de nanofils VLS sont les hétérostructures Si/Si/Si_{0,7}Ge_{0,3}, car les valeurs de l'inverse de la pente sous le seuil pour cette structure sont plus faibles que pour les homojonctions. Mais aussi le niveau de courant obtenu est bien plus important que pour les autres TFETs réalisés. Puis nous avons essayé d'approcher les paramètres de la conduction BBT du matériau Si_{0,7}Ge_{0,3} par la simulation des caractéristiques électriques. Nous avons conclu que le coefficient B du modèle de Klaassen doit être d'environ 16MV/cm pour cet alliage. Enfin nous avons proposé comme amélioration des performances des TFETs, la réalisation de dispositifs contenant une plus forte concentration de germanium. Nous avons levé les problèmes de croissance lié à ce type d'hétérostructure et nous avons réalisé un démonstrateur optimisé du point de vue architectural : un TFET à nanofils verticaux Si/Si/Si_{0,3}Ge_{0,7}. De plus, nous avons montré que les nanofils SiGe croissaient verticalement au substrat pour une température de 450 °C, ce qui nous permet d'être compatible avec le budget thermique du back-end. Les résultats obtenus sont encourageants, bien que le niveau de courant obtenu par cette structure reste encore faible, à cause des résistances de

contacts.

CHAPITRE 5

Conclusion générale de la thèse et Perspectives

5.1 Conclusion générale de la thèse

Les objectifs de la thèse sont la réalisation et l'étude des propriétés électriques des Tunnel FETs à base de nanofils VLS en vue d'une intégration dans la zone froide des circuits intégrés. Ce dispositif a été choisi pour son mode de fonctionnement, car les TFETs peuvent être actifs pour des tensions inférieures à 0,5 V et l'inverse de leur pente sous le seuil peut être inférieure à 60 mV/dec (limite théorique pour les MOSFETs). Ces propriétés rendent ces dispositifs très attractifs au vu de la problématique actuelle de la consommation d'énergie et d'effets parasites associés aux transistors actuels. En effet, la puissance de consommation des circuits intégrés ne cessent d'augmenter avec la diminution drastique de la taille des transistors. Or pour diminuer cette puissance, il faut abaisser les tensions de fonctionnement des MOSFETs. Mais cette diminution est limitée par les pertes de performances qui lui sont associées.

Ainsi dans le premier chapitre, nous avons détaillé les problèmes liés à la consommation d'énergie, mais également, des solutions proposées par la communauté scientifique pour s'en affranchir. Dans la littérature, ces solutions sont en général de rupture avec les technologies existantes (électronique de spin ou quantique, matériaux exotiques). Cependant, nous avons choisi de rester proche des procédés de fabrication actuels, c'est pourquoi nous ne présentons que les solutions compatibles avec l'industrie de la micro-électronique. Parmi celles-ci, le Tunnel FET a été choisi comme solution pour sa faible consommation. Les propriétés de ce dispositif ont été détaillées et nous avons présenté les différentes modélisations de la transition BBT rapportées de la littérature. Dans cette étude nous avons choisi d'utiliser le modèle de Klaassen pour simuler les caractéristiques électriques des TFETs, dans lequel seul la transition BBT assistée par les phonons est prise en compte. Les propriétés des Tunnel FETs ont été détaillées et en particulier l'expression de l'inverse de la pente sous le seuil de ces dispositifs. Nous avons rapporté les travaux de Knoll et al. [19] dans lesquels il a été montré que l'obtention d'un inverse de pente sous le seuil proche de zéro était très difficile, car il faut alors une probabilité d'effet tunnel proche de 1, or cela nécessite une hétérostructure à gap brisée. En revanche, il a été montré que pour des dispositifs composés

de silicium ou de germanium, le SS sera variant avec la tension de grille, mais qu'il est malgré tout possible d'obtenir un SS faible pour une certaine plage de tension de grille. Ensuite les paramètres d'optimisation des performances des TFETs ont été détaillés tels que le contrôle électrostatique de la grille sur le canal, le niveau de dopage de la source et la géométrie du dispositif. Ces points sont importants pour ces dispositifs, car en plus d'avoir une pente sous le seuil variant en fonction de la tension de grille, ceux-ci ont généralement un courant de fonctionnement faible. Mais comme cela a été montré sur des dispositifs fabriqués à partir des technologies du front-end, le niveau de courant des TFETs peut approcher celui des MOSFETs, lorsqu'ils sont optimisés.

Suite à ce chapitre d'introduction et d'état de l'art des TFETs, nous avons présenté les techniques de fabrication des TFETs utilisées dans notre étude. Ainsi, les différentes techniques de synthèse de nanofils ont été développées, dont la plus adéquate pour notre application, la CVD-VLS. Pour utiliser des nanofils comme canal de conduction, nous devons maîtriser leur croissance. C'est pourquoi les différentes étapes la constituant ont été détaillées et les paramètres de croissance ont été explicités. De plus, nous avons mis en avant les problèmes de croissance des nanofils SiGe rencontrés, ainsi que les solutions proposées, c'est-à-dire une descente rapide en température pour limiter la gravure du substrat de silicium par le HCl. Enfin nous avons présenté les techniques d'intégration choisies pour cette étude, à savoir une intégration horizontale des nanofils permettant d'étudier les propriétés électriques d'un nanofil unique et l'intégration verticale de plusieurs nanofils permettant une géométrie de grille optimisée, c'est-à-dire totalement enrobante. Pour que l'intégration des nanofils soient efficaces, nous avons besoin que les résistances de contacts soient les plus faibles possibles. Ainsi nous avons étudié la siliciuration des nanofils de silicium et de SiGe. Nous avons détaillé le mécanisme de formation des siliciures qui est dépendant du flux de nickel, de la température et du temps de recuit. Cela induit la formation de différentes phases de siliciure et leur stœchiométrie est dépendante du diamètre du nanofil. Enfin les techniques d'extraction des propriétés électriques des dispositifs ont été explicitées ainsi que le programme de simulation des courbes électriques de transfert des transistors à effet tunnel.

Lors de notre étude, nous avons tout d'abord analysé le comportement de Tunnel FETs à base de nanofil silicium. Nous avons observé l'influence du niveau de dopage sur les performances électriques de ces dispositifs. Pour ce faire, nous avons réalisé trois croissances de nanofils Si avec différents niveaux de dopage. D'après la littérature, les niveaux de courant des TFETs devraient être améliorés par l'augmentation du dopage de la partie source. Cependant, nous avons été confronté à des problèmes de croissance parasites à fort dopage et cela a fortement diminué les performances des TFETs par rapport au nanofil de dopage plus faible. Donc nous avons utilisé uniquement ce type de nanofil pour analyser le comportement électrique des TFETs à base de nanofil VLS. Ainsi, nous avons montré que les caractéristiques de transfert expérimentales correspondaient bien au comportement simulé par notre modèle BBT assisté par les phonons. Ensuite nous avons différencié les mécanismes de BBT assisté par les pièges et assisté par les phonons grâce à des mesures à basse température. Enfin nous avons montré qu'il était possible d'améliorer les performances des TFETs grâce à l'optimisation du contrôle électrostatique de l'oxyde de grille sur le canal

et à la diminution des résistances d'accès par un recuit de siliciuration des contacts. En effet, nous avons obtenu grâce à ces optimisations un niveau de courant de $39 \cdot 10^{-3} \mu\text{A}/\mu\text{m}$ pour une tension de drain de $-0,5 \text{ V}$ et de grille de -2 V ainsi qu'un SS de 149 mV/dec .

Cependant, malgré l'optimisation du contrôle électrostatique sur la structure, les dispositifs à base de nanofil de silicium présentent des niveaux de courant relativement faibles. Pour l'améliorer, nous avons inséré du germanium dans la matrice de silicium des nanofils afin de diminuer la largeur du gap et ainsi augmenter la probabilité de la transition BBT. Ainsi nous avons synthétisé des hétérojonctions p-i-n $\text{Si}_{0,7}\text{Ge}_{0,3}$. Les mesures électriques réalisées sur ces nanofils présentent un niveau de courant encourageant, car nous avons obtenu un Ion de l'ordre $10 \cdot 10^{-3} \mu\text{A}/\mu\text{m}$ pour des tensions de drain $\leq 0,5 \text{ V}$. Nous avons simulé les caractéristiques de transfert obtenues sur ces dispositifs en adaptant notre modèle. Ces simulations ont permis d'obtenir le facteur du modèle de Klaassen pour cet alliage, qui est d'environ de 16 MV/cm . Cependant, les valeurs de l'inverse de pente sous le seuil des dispositifs expérimentaux restent importantes ($\geq 200 \text{ mV/dec}$). Nous avons mis en avant le fait que cela est probablement dû à la forte densité d'états à l'interface entre le canal $\text{Si}_{0,7}\text{Ge}_{0,3}$ et l'oxyde de grille. Pour remédier à ce problème, nous avons réalisé des hétérostructures p-Si/i-Si/n- $\text{Si}_{0,7}\text{Ge}_{0,3}$. Le courant Ion et le SS de ce dispositif sont parmi les plus importants obtenus dans la littérature, et en font l'état de l'art sur cette technique de croissance. En effet, le niveau de courant de ce TFET p-Si/i-Si/n- $\text{Si}_{0,7}\text{Ge}_{0,3}$ est proche de $1 \mu\text{A}/\mu\text{m}$ et le SS vaut environ 135 mV/dec . Au vu de cette amélioration, nous avons réalisé une hétérostructure avec un pourcentage de germanium de 70% dans la partie source en intégration verticale. Cette architecture permet d'avoir une grille totalement enrobante et d'intégrer plusieurs nanofils dans un même dispositif, cela afin d'augmenter le niveau de courant des TFETs. Cette configuration a été montrée comme étant optimale pour la croissance des nanofils contenant une forte concentration de germanium afin d'éviter les mécanismes de croissance parasite. La configuration de la grille totalement enrobante et le bon contrôle des flancs des nanofils par la croissance ont permis d'améliorer la valeur de l'inverse de la pente sous le seuil qui est alors de 85 mV/dec . Cependant, le niveau de courant du dispositif est limité par une importante résistance d'accès. Par conséquent, ce résultat est très encourageant pour l'intégration des nanofils VLS dans cette configuration, mais la prise de contact au sommet des nanofils demande à être optimisée dans le futur.

5.2 Perspective

L'application visée dans ce travail de thèse est une intégration des TFETs dans le back-end. Mais pour ce faire, il faut répondre aux problématiques suivantes :

- Respecter le budget thermique de 450°C
- Réaliser des croissances de nanofils cristallins sur des substrats polycristallins ou métalliques.
- S'affranchir de l'or comme catalyseur.

Le premier point est atteint avec la croissance des nanofils de SiGe, car le dépôt est réalisé à 540 °C. Cependant, pour obtenir des catalyseurs liquides Au–Si nécessaire à cette croissance, le substrat est recuit entre 600 °C et 650 °C. Nous devons donc nous affranchir de cette étape. Des travaux sont en cours au LTM sur la démonstration de la croissance de nanofil de SiGe à 450 °C entre deux électrodes métalliques. Ce mécanisme de croissance est similaire à celui présenté dans l'article de Greyson et al. [134]. Grâce à cette géométrie particulière, le film d'or dé-mouille sur le flanc de l'électrode et permet une croissance à 450 °C pour toutes les étapes du dépôt. L'alliage Au–Si est alors obtenu durant la phase d'incubation, qui sera par conséquent plus longue. Ce procédé de croissance rejoint le deuxième point abordé plus haut. Le dernier point au sujet du catalyseur reste donc à élucider. L'or comme catalyseur est considéré comme un frein à l'utilisation de cette technique dans les procédés industriels, car il induit des pièges dont l'énergie est proche du milieu du gap du silicium. Ainsi, des catalyseurs ne présentant pas cet inconvénient ont été recherchés cette dernière décennie et les siliciures de métal TiSi_2 , CoSi_2 et NiSi satisfont toutes les exigences liées à une telle intégration. La croissance de nanofils catalysée par NiSi , TiSi_2 a été étudiée par respectivement F.Dhalluin [135], Kamins et al. [136]. Il a été montré que la croissance de nanofils rectilignes étaient obtenus pour des températures supérieures à 450 °C. Donc les techniques actuelles de croissance ne permettent pas d'obtenir une croissance satisfaisant les conditions thermiques du back-end.

Cependant, bien que l'or soit un contaminant pour la microélectronique, d'autres métaux, utilisés à l'heure actuelle dans le back-end, ont la même problématique. Ils ont été introduits sans être préjudiciables aux bonnes performances des dispositifs grâce à la mise en place de barrière de diffusion, comme pour le cuivre par exemple, qui constitue les lignes métalliques d'interconnexions. De plus, le cuivre peut également être utilisé comme catalyseur pour les nanofils de silicium, comme cela a été étudié par Renard et al. [137], cependant, il faut d'abord s'affranchir de l'oxyde métallique de ce composé pour réaliser la croissance mais pour cela un plasma hydrogéné est nécessaire dans le bâti CVD. Les nanofils ainsi obtenus étaient crus à 400 °C mais, la qualité cristallin de ces fils doit être améliorée. Cela montre que le cuivre est un candidat probable pour remplacer l'or comme catalyseur, bien qu'il reste quelques verrous technologiques à cela. Au vu de cette étude, on peut penser que la même technique de barrière de diffusion peut être appliquée pour l'or qui pourra être alors utilisé comme catalyseur. Cette barrière permettrait d'assurer l'intégrité des autres composants du circuit intégré. Si l'or n'influence pas les autres composants, on peut se demander ce qu'il en est des nanofils de silicium crus par ce catalyseur. En effet, il a été montré par Wang et al. [106] que de l'or peut être présent dans certains nanofils et non dans d'autre d'une même croissance. Cela peut être un problème au vu des niveaux de pièges induits qui diminueraient alors la mobilité électriques des porteurs. Dans le cas des Tunnel FETs, ces niveaux de pièges participeraient à la conduction BBT assisté par les pièges (TAT), mécanisme qui augmente l'inverse de la pente sous le seuil. Mais dans notre étude, nous avons montré que nous pouvons obtenir des inverses de pente sous le seuil de l'ordre de 90mV/dec malgré ce mécanisme. Donc de bonnes performances électriques pour ce dispositif peuvent être atteintes, bien que de l'or soit probablement présent dans la matrice du nanofil.

Maintenant, malgré l'augmentation du niveau de courant observée grâce à l'insertion de germanium dans la source des TFETs, le niveau de courant de ces transistors à base de nanofils VLS restent encore en-dessous de $1\mu\text{A}/\mu\text{m}$. Donc pour augmenter le niveau de courant de ces dispositifs, il faudrait encore diminuer le gap du matériau source, mais aussi de préférence que ce soit un semiconducteur à gap direct. Une étude est en cours au LTM sur la croissance de nanofil Ge-Sn pour réaliser la source des Tunnel FETs. En effet, cet alliage peut avoir un petit gap, mais aussi direct lorsque la composition de Sn est autour de 11% ce qui permettrait d'augmenter le niveau de courant des TFETs et cet alliage est compatible avec les procédés de la microélectronique. La croissance de nanofil Ge-Sn par CVD-VLS n'ayant jamais été reportée dans la littérature, c'est un vrai défi technologique que notre laboratoire tente de relever.

ANNEXE A

Nettoyage BOE standard

Le BOE, « Buffered Oxyde Etchant », est un mélange de HF à 49% et de NH_4F à 40%. Les avantages de l'utilisation du BOE par rapport au HF conventionnel sont :

- il laisse la surface du silicium moins rugueuse que le HF (liquide ou vapeur), ainsi les processus de croissance et de dépôt (ALD) peuvent en être amélioré.
- On peut nettoyer des surfaces ouvertes dans de la résine sans problème de la voir partir
- Il ne grave pas l'aluminium, toujours contrairement au HF, ce qui rendrait les nettoyages avant dépôt d'oxyde par ALD impossibles.

Ainsi toute désoxydation a été préférentiellement réalisée au BOE dans cette étude, plutôt qu'avec des solutions HF. Son seul inconvénient de l'utilisation du BOE dans notre étude est, qu'il est in-déTECTable, ce qui le rend particulièrement dangereux pour les personnes le manipulant.

La procédure de nettoyage que nous avons mise en place est la suivante :

Table A.1: Paramètres du nettoyage au BOE non destructif pour les nanofils

Matériau	Temps dans la solution de BOE	Temps de rinçage
Si ou $\text{Si}_{1-x}\text{Ge}_x$, $x < 0,3$	1min	1min
$\text{Si}_{1-x}\text{Ge}_x$ avec $x > 0,3$	30s	45s

ANNEXE B

Lithographie

B.1 Procédé de localisation des catalyseurs par EBEAM

Avant de déposer les résines, nous avons nettoyé les substrats dans un bain d'acétone puis d'isopropanol, suivie d'un séchage sous flux d'azote.

Table B.1: Détails du processus de localisation des catalyseurs par EBEAM.

Substrat			
	Nettoyage	Acetone	Isopropanol
	Séchage	Azote	
Résine			
	Première Etalement	MMA	
	Vitesse	4000 tr/min	
	Accélération	1000 tr/min ²	
	Durée	50s	
	Recuit1	200 °C	5min
	Deuxième Etalement	PMMA 2%	
	Vitesse	40000 tr/min	
	Accélération	1000 tr/min ²	
	Durée	50s	
	Recuit2	180 °C	5min
Lithographie	Masqueur électronique		
	Dose	1200µC · cm ⁻²	
Développement	MIBK/ IPA dilution 3 :1	30s	
Nettoyage	Plasma O ₂	60s	250W
	BOE	30s	
	rinçage	EDI	1min
Dépôt catalyseur	Evaporateur		
	Au 20nm	vitesse de dépôt	0,1nm · s ⁻¹
Lift-Off	Acétone	temps	1 demi-journée
Rinçage	IPA	30s	
Nettoyage	Plasma O ₂	300s	500W

B.2 Paramètres de la lithographie des contacts Drain/source et Grille

Nous avons utilisé deux appareils de lithographie l'un équipé d'une lampe UV et le second d'une lampe Deep-UV. De manière générale, lorsque les lithographies étaient faites sur des nanofils de silicium ou de Si_{1-x}Ge_x avec $x < 0,3$, nous utilisons l'appareil Deep-UV. En revanche, lorsque nos lithographie étaient réalisées sur de l'aluminium ou des nanofils Si_{1-x}Ge_x avec $x > 0,3$, nous utilisons l'appareil équipé de la lampe UV. Cela étant dû au fait que les développeurs pour les résine Deep-UV ont un pH basique plus important que ceux pour les résine UV, et donc ils attaquent chimiquement l'aluminium et le germanium.

Pour la lithographie optique avec la lampe UV les paramètres pour les résines et pour l'insolation utilisés sont ceux donnés sur les fiches techniques du fabricant.

Table B.2: Paramètres de lithographie optique DuV.

Résine		
	MaN2410 ou MaN2403	Etalement :
	Vitesse	4000 tr/min
	Accélération	1000 tr/min ²
	Durée	50s
Recuit	90 °C	2min30 (MaN2410), 1min30 (MaN2403)
Lithographie	DuV	
	Insolation	16s (MaN2410) 6.4s(MaN2403)
Développement	AzMIF 326	40-45s
Nettoyage	Plasma O ₂	60s 250W

Publications

Publications scientifiques

- **V.Brouzet**, B.Salem, P.Periwal, G.Rosaz, T.Baron, F.Bassani, P.Gentile and G.Ghibaudo, Fabrication and characterization of Silicon nanowire p-i-n MOS gated diode for use as P-type Tunnel FET Applied Physics A , DOI : 10.1007/s00339-015-9507-3 (2015)
- **V.Brouzet**, B.Salem, P.Periwal, R. Alcotte, F. Chouchane, F.Bassani, T.Baron, and G.Ghibaudo, Fabrication and Electrical characterization of homo- and hetero-structure Si/SiGe Nanowire Tunnel Field Effect Transistor grown by Vapour-Liquid-Solid Mechanism Solid-State Electronics , 1-4 (2015)
- C. Ternon , P. Serre , J.-M. Lebrun , **V.Brouzet** , M. Legallais , S. David , T. Luciani , C. Pascal , T. Baron , and J.-M. Missiaen . Low Temperature Processing to Form Oxidation Insensitive Electrical Contact at Silicon Nanowire/Nanowire Junctions Advanced electronic materials, 1500172 (1-8) (2015).
- M. Ollivier, L.Latu-Romain, B.Salem, L.Fradetal, **V.Brouzet**, J.-H. Choi, E.Bano, Integration of SiC-1D nanostructures into nano-field effect transistors, Materials Science in Semiconductor Processing 29, 218-222, (2015).
- P. Periwal , F. Bassani , G. Patriarche , L. Latu-Romain, **V.Brouzet** , B. Salem , and T. Baron, Interfacial abruptness in axial Si/SiGe heterostructures in nanowires probed by scanning capacitance microscopy Physica Status Solidi (a) , 211, 509-513, (2014)

Conférences internationales et nationales

- **V.Brouzet**, B. Salem, P. Periwal, T. Baron, F. Bassani, P. Gentile, G. Ghibaudo. Fabrication and electrical characterisations of Si/Si_{1-x}Ge_x nanowires Tunnel FET device : impact of Germanium concentration. MRS Spring Meeting (2015), San Francisco, **oral**.

- **V.Brouzet**, B. Salem, P. Periwal, T. Baron, F. Bassani, P. Gentile, G. Ghibaudo, Si and SiGe Nanowires Tunnel Field-effect Transistors Study Toward Horizontal and Vertical Integration, EMRS Fall Meeting (2015), Varsovie, **poster**.
- **V.Brouzet**, B. Salem, P. Periwal, T. Baron, F. Bassani, P. Gentile, G. Ghibaudo, Horizontal Integration and electrical characterization of silicon nanowire Tunnel FETS, GDR Nanofil, Toulouse, 2015, **poster**.
- **V.Brouzet**, B. Salem, P. Periwal, T. Baron, F. Bassani, P. Gentile, G. Ghibaudo, Fabrication and Electrical characterisation of Tunnel FET device based on Si/Si/SiGe heterojunction PIN nanowires, EMRS Fall Meeting (2014), Varsovie, **oral**.
- **V.Brouzet**, B. Salem, P. Periwal, T. Baron, F. Bassani, P. Gentile, G. Ghibaudo, Horizontal Integration and electrical characterization of Si/SiGe heterostructure Nanowire Tunnel-FETs, EMRS Spring Meeting (2014), Lille, **oral**.
- **V.Brouzet**, B. Salem, P. Periwal, T. Baron, F. Bassani, P. Gentile, G. Ghibaudo, Horizontal Integration and electrical characterization of silicon nanowire Tunnel FETS, ICON 2013 (International conference on One Dimensional Nanomaterials), Annecy, **poster**.

Bibliographie

- [1] Robert H DENNARD, Fritz H GAENSSLEN, V Leo RIDEOUT, Ernest BASSOUS et Andre R LEBLANC :
Design of ion-implanted mosfet's with very small physical dimensions.
Solid-State Circuits, IEEE Journal of, 9(5):256–268, 1974.
- [2] P. MATHERAT :
Une histoire de la microélectronique : Une révolution technique qui a profondément transformé le monde en moins d'un demi-siècle.
Editions universitaires europeennes EUE, 2010.
- [3] P PACKAN :
Short course.
IEDM, 2007.
- [4] Shekhar BORKAR :
3d integration for energy efficient system design.
In Proceedings of the 48th Design Automation Conference, pages 214–219. ACM, 2011.
- [5] T. Huynh BAO, D. YAKIMETS, J. RYCKAERT, I. CIOFI, R. BAERT, A. VELOSO, J. BOEMMELS, N. COLLAERT, P. ROUSSEL, S. DEMUYNCK, P. RAGHAVAN, A. MERCHA, Z. TOKEI, D. VERKEST, a. V-Y. THEAN et P. WAMBACQ :
Circuit and process co-design with vertical gate-all-around nanowire fet technology to extend cmos scaling for 5nm and beyond technologies.
In 2014 44th European Solid State Device Research Conference (ESSDERC), volume 3, pages 102–105. IEEE, septembre 2014.
- [6] B YU et M MEYYAPPAN :
Nanotechnology : role in emerging nanoelectronics.
Solid-State Electronics, 50(4):536–544, 2006.
- [7] Adrian M IONESCU :
Electronic devices : nanowire transistors made easy.
Nature nanotechnology, 5(3):178–179, 2010.
- [8] Xia LI, Wei ZHAO, Yu CAO, Zhi ZHU, Jooyoung SONG, David BANG, Chi-Chao WANG, Seung H KANG, Joseph WANG, Matt NOWAK *et al.* :
Pathfinding for 22nm cmos designs using predictive technology models.

- In Custom Integrated Circuits Conference, 2009. CICC'09. IEEE*, pages 227–230. IEEE, 2009.
- [9] Adrian Mihai IONESCU et Heike RIEL :
Tunnel field-effect transistors as energy-efficient electronic switches.
Nature, 479(7373):329–337, novembre 2011.
 - [10] JG FOSSUM, Ravishankar SUNDARESAN et Mishel MATLOUBIAN :
Anomalous subthreshold current—voltage characteristics of n-channel soi mosfet's.
Electron Device Letters, IEEE, 8(11):544–546, 1987.
 - [11] Simon M SZE et Kwok K NG :
Physics of semiconductor devices.
John Wiley & Sons, 2006.
 - [12] Kirsten E MOSELUND, Vincent POTT, Didier BOUVET et Adrian M IONESCU :
Abrupt current switching due to impact ionization effects in Ω -mosfet on low doped bulk silicon.
In Solid State Device Research Conference, 2007. ESSDERC 2007. 37th European, pages 287–290. IEEE, 2007.
 - [13] Leo ESAKI :
New phenomenon in narrow germanium p-n junctions.
Physical Review, 109(2):603, 1958.
 - [14] JJ QUINN, Galen KAWAMOTO et BD MCCOMBE :
Subband spectroscopy by surface channel tunneling.
Surface Science, 73:190–196, 1978.
 - [15] William M REDDICK et Gehan AJ AMARATUNGA :
Silicon surface tunnel transistor.
Applied Physics Letters, 67(4):494–496, 1995.
 - [16] Junji KOGA et Akira TORIUMI :
Negative differential conductance in three-terminal silicon tunneling device.
Applied physics letters, 69(10):1435–1437, 1996.
 - [17] W HANSCH, C FINK, J SCHULZE et I EISELE :
A vertical mos-gated esaki tunneling transistor in silicon.
Thin Solid Films, 369(1):387–389, 2000.
 - [18] J. APPENZELLER, Y.-M. LIN, J. KNOCH et Ph. AVOURIS :
Band-to-band tunneling in carbon nanotube field-effect transistors.
Physical Review Letters, 93(19):196805, novembre 2004.
 - [19] J KNOCH, S MANTL et J APPENZELLER :
Impact of the dimensionality on the performance of tunneling fets : Bulk versus one-dimensional devices.
Solid-State Electronics, 51(4):572–578, 2007.
 - [20] Anne S VERHULST, William G VANDENBERGHE, Karen MAEX et Guido GROESENKEN :
Tunnel field-effect transistor without gate-drain overlap.
Applied Physics Letters, 91(5):053102, 2007.

- [21] Siyuranga O KOSWATTA, Mark S LUNDSTROM et Dmitri E NIKONOV :
Influence of phonon scattering on the performance of pin band-to-band tunneling transistors.
Applied Physics Letters, 92(4):043125, 2008.
- [22] Mathias BORN, KK BHUWALKA, M SCHINDLER, U ABELEIN, Matthias SCHMIDT, T SULIMA et I EISELE :
Tunnel fet : A cmos device for high temperature applications.
In Microelectronics, 2006 25th International Conference on, pages 124–127. IEEE, 2006.
- [23] Kathy BOUCART et Adrian Mihai IONESCU :
A new definition of threshold voltage in tunnel fets.
Solid-State Electronics, 52(9):1318–1323, 2008.
- [24] EO KANE :
Zener tunneling in semiconductors.
Journal of Physics and Chemistry of Solids, 12(2):181–188, 1960.
- [25] GAM HURKX, HC DE GRAAFF, WJ KLOOSTERMAN et MPG KNUVERS :
A novel compact model description of reverse-biased diode characteristics including tunnelling.
In Solid State Device Research Conference, 1990. ESSDERC'90. 20th European, pages 49–52. IEEE, 1990.
- [26] GAM HURKX, DBM KLAASSEN et MPG KNUVERS :
A new recombination model for device simulation including tunneling.
Electron Devices, IEEE Transactions on, 39(2):331–338, 1992.
- [27] DBM KLAASSEN :
Physical modelling for bipolar device simulation.
In Conference on Simulation of Semiconductor Devices, volume 4, pages 23–43, 1991.
- [28] A SCHENK :
Rigorous theory and simplified model of the band-to-band tunneling in silicon.
Solid-State Electronics, 36(1):19–34, 1993.
- [29] Anne S. VERHULST, William G. VANDENBERGHE, Karen MAEX et Guido GROESENEKEN :
Boosting the on-current of a n-channel nanowire tunnel field-effect transistor by source material optimization.
Journal of Applied Physics, 104(6):064514, 2008.
- [30] F. MAYER, Cyrille LE ROYER, J.-F. DAMLENCOURT, K ROMANJEK, F. ANDRIEU, Claude TABONE, B. PREVITALI et Simon DELEONIBUS :
Impact of soi, si 1-x ge x oi and geoi substrates on cmos compatible tunnel fet performance.
2008 IEEE International Electron Devices Meeting, 4:1–5, décembre 2008.
- [31] Bahniman GHOSH et Rahul MISHRA :
Device improvement and circuit performance evaluation of complete sige double gate tunnel fets.

- In 16th International Workshop on Physics of Semiconductor Devices*, pages 85490D–85490D. International Society for Optics and Photonics, 2012.
- [32] Krishna K. BHUWALKA, J SCHULZE et Ignaz EISELE :
Scaling the vertical tunnel fet with tunnel bandgap modulation and gate workfunction engineering.
IEEE Transactions on Electron Devices, 52(5):909–917, mai 2005.
- [33] Eng-Huat TOH, Grace Huiqi WANG, Lap CHAN, Dennis SYLVESTER, Chun-Huat HENG, Ganesh S. SAMUDRA et Yee-Chia YEO :
Device design and scalability of a double-gate tunneling field-effect transistor with silicon-germanium source.
Japanese Journal of Applied Physics, 47(4):2593–2597, avril 2008.
- [34] Nattapol DAMRONGPLASIT, Changhwan SHIN, Sung Hwan KIM, Reinaldo A VEGA et Tsu-Jae King LIU :
Study of random dopant fluctuation effects in germanium-source tunnel fets.
Electron Devices, IEEE Transactions on, 58(10):3541–3548, 2011.
- [35] Son T LE, P JANNATY, Xu LUO, A ZASLAVSKY, Daniel E PEREA, Shadi A DAYEH et Samuel T PICRAUX :
Axial sige heteronanowire tunneling field-effect transistors.
Nano letters, 12(11):5850–5855, 2012.
- [36] Anil W DEY, Johannes SVENSSON, Martin EK, Erik LIND, Claes THELANDER et Lars-Erik WERNERSSON :
Combining axial and radial nanowire heterostructures : Radial esaki diodes and tunnel field-effect transistors.
Nano letters, 13(12):5919–5924, 2013.
- [37] Chun-Hsing SHIH et Nguyen DANG CHIEN :
Physical operation and device design of short-channel tunnel field-effect transistors with graded silicon-germanium heterojunctions.
Journal of Applied Physics, 113(13):134507, 2013.
- [38] Joerg APPENZELLER, Joachim KNOCH, Mikael T BJORK, Heike RIEL, Heinz SCHMID et Walter RIESS :
Toward nanowire electronics.
Electron Devices, IEEE Transactions on, 55(11):2827–2845, 2008.
- [39] Jean-pierre COLINGE :
Multi-gate soi mosfets.
Microelectronic Engineering, 84(9-10):2071–2076, septembre 2007.
- [40] Andrei VLADIMIRESCU, Amara AMARA et Costin ANGHEL :
An analysis on the ambipolar current in si double-gate tunnel fets.
Solid-State Electronics, 70:67–72, avril 2012.
- [41] ZX CHEN, TS PHUA, XP WANG, GQ LO et DL KWONG :
Impact of process variations on the vertical silicon nanowire tunneling fet (tfet).
World Academy of Science, Engineering and Technology, International Journal of Electrical, Computer, Energetic, Electronic and Communication Engineering, 7(9):770–773, 2013.

- [42] Krishna K. BHUWALKA, J SCHULZE et Ignaz EISELE :
A simulation approach to optimize the electrical parameters of a vertical tunnel fet.
IEEE Transactions on Electron Devices, 52(7):1541–1547, juillet 2005.
- [43] Davide CUTAIA, Kirsten MOSELUND, Mattias BORG, Heinz SCHMID, Lynne GIGNAC,
Chris BRESLIN, Siegfried KARG, Emanuele UCCELLI et Heike RIEL :
Vertical inas-si gaa tfets integrated on si using selective epitaxy in nanotube templates.
IEEE Journal of the Electron Devices Society, 6734(110):1–1, 2015.
- [44] Siyuranga O KOSWATTA, Steven J KOESTER et Wilfried HAENSCH :
On the possibility of obtaining mosfet-like performance and sub-60-mv/dec swing in
1-d broken-gap tunnel transistors.
IEEE Transactions on Electron Devices, 57(12):3222–3230, décembre 2010.
- [45] Mathieu LUISIER et Gerhard KLIMECK :
Performance comparisons of tunneling field-effect transistors made of insb, carbon,
and gasb-inas broken gap heterostructures.
In Electron Devices Meeting (IEDM), 2009 IEEE International, pages 1–4. IEEE,
2009.
- [46] Saurabh MOOKERJEA, Dheeraj MOHATA, Theresa MAYER, Vijay NARAYANAN et
Suman DATTA :
Temperature-dependent-characteristics of a vertical tunnel fet.
Electron Device Letters, IEEE, 31(6):564–566, 2010.
- [47] Anne VANDOOREN, Daniele LEONELLI, R. ROOYACKERS, A. HIKAVYY, K. DE-
VRIENDT, M. DEMAND, R. LOO, Guido GROESENEKEN et C. HUYGHEBAERT :
Analysis of trap-assisted tunneling in vertical si homo-junction and sige hetero-
junction tunnel-fets.
Solid-State Electronics, 83:50–55, mai 2013.
- [48] KE MOSELUND, MT BJÖRK, H SCHMID, H GHONEIM, S KARG, E LÖRTSCHER,
Walter RIESS et H RIEL :
Silicon nanowire tunnel fets : Low-temperature operation and influence of high-gate
dielectric.
Electron Devices, IEEE Transactions on, 58(9):2911–2916, 2011.
- [49] S. RICHTER, S. BLAESER, L. KNOLL, S. TRELLenkAMP, A. FOX, A. SCHÄFER,
Jean-Michel HARTMANN, Q.T. ZHAO et S. MANTL :
Silicon-germanium nanowire tunnel-fets with homo- and heterostructure tunnel
junctions.
Solid-State Electronics, 98:75–80, août 2014.
- [50] Aaron L VALLETT, Sharis MINASSIAN, Phil KASZUBA, Suman DATTA, Joan M
REDWING et Theresa S MAYER :
Fabrication and characterization of axially doped silicon nanowire tunnel field-effect
transistors.
Nano letters, 10(12):4813–8, décembre 2010.
- [51] Luca DE MICHIELIS, Livio LATTANZIO et Adrian M IONESCU :
Understanding the superlinear onset of tunnel-fet output characteristic.
Electron Device Letters, IEEE, 33(11):1523–1525, 2012.

- [52] Anne S. VERHULST, Daniele LEONELLI, Rita ROOYACKERS et Guido GROESENEKEN :
Drain voltage dependent analytical model of tunnel field-effect transistors.
Journal of Applied Physics, 110(2):024510, 2011.
- [53] RV BOOTH, MH WHITE, H-S WONG et TJ KRUTSICK :
The effect of channel implants on MOS transistor characterization.
IEEE Transactions on Electron Devices, 34(12):2501–2509, 1987.
- [54] A VILLALON, Cyrille LE ROYER, P NGUYEN, S BARRAUD, F GLOWACKI, A REVELANT, Luca SELMI, S CRISTOLOVEANU, L TOSTI, C VIZIOZ *et al.* :
First demonstration of strained sige nanowires tfets with ion beyond $700\mu\text{a}/\mu\text{m}$.
In VLSI Technology (VLSI-Technology) : Digest of Technical Papers, 2014 Symposium on, pages 1–2. IEEE, 2014.
- [55] Ramanathan GANDHI, Zhixian CHEN, Navab SINGH, Kaustav BANERJEE et Sungjoo LEE :
Cmos-compatible vertical-silicon-nanowire gate-all-around p-type tunneling fets with-mv/decade subthreshold swing.
IEEE Electron Device Letters, 32(11):1504–1506, 2011.
- [56] Jonathan E ALLEN, Eric R HEMESATH, Daniel E. PEREA, Jessica L LENSCH-FALK, Z Y LI, Feng YIN, Mhairi H GASS, Peng WANG, Andrew L BLELOCH, Richard E PALMER et Lincoln J LAUHON :
High-resolution detection of au catalyst atoms in si nanowires.
Nature nanotechnology, 3(3):168–73, mars 2008.
- [57] Priyanka PERIWAL, NV SIBIREV et Gilles PATRIARCHE :
Composition-dependent interfacial abruptness in au-catalyzed $\text{sil-x ge x/si/sil-x ge x}$ nanowire heterostructures.
Nano Letters, 14(9):5140–5147, 2014.
- [58] Shadi A DAYEH, Jian WANG, Nan LI, Jian Yu HUANG, Aaron V GIN et S Thomas PICRAUX :
Growth, defect formation, and morphology control of germanium–silicon semiconductor nanowire heterostructures.
Nano letters, 11(10):4200–4206, 2011.
- [59] Daniel E PEREA, Nan LI, Robert M DICKERSON, Amit MISRA et ST PICRAUX :
Controlling heterojunction abruptness in vls-grown semiconductor nanowires via in situ catalyst alloying.
Nano letters, (3):3117–3122, 2011.
- [60] Shao-long WU, Ting ZHANG, Rui-ting ZHENG et Guo-an CHENG :
Facile morphological control of single-crystalline silicon nanowires.
Applied Surface Science, 258(24):9792–9799, octobre 2012.
- [61] Allon I HOCHBAUM, Rong FAN, Rongrui HE et Peidong YANG :
Controlled growth of si nanowire arrays for device integration.
Nano letters, 5(3):457–60, mars 2005.
- [62] R. HE, D. GAO, R. FAN, a. I. HOCHBAUM, C. CARRARO, R. MABOUDIAN et P. YANG :
Si nanowire bridges in microtrenches : Integration of growth into device fabrication.
Advanced Materials, 17(17):2098–2102, septembre 2005.

- [63] Yi CUI, Xiangfeng DUAN, Jiangtao HU et Charles M LIEBER :
Doping and electrical transport in silicon nanowires.
The Journal of Physical Chemistry B, 104(22):5213–5216, juin 2000.
- [64] Iddo AMIT, Uri GIVAN, JG CONNELL, Dennis F PAUL, John S HAMMOND, Lincoln J LAUHON et Yossi ROSENWAKS :
Spatially resolved correlation of active and total doping concentrations in vls grown nanowires.
Nano letters, 13(6):2598–604, juin 2013.
- [65] Heinz SCHMID, M. T. BJÖRK, Joachim KNOCH, Siegfried KARG, Heike RIEL et W. RIESS :
Doping limits of grown in situ doped silicon nanowires using phosphine.
Nano letters, 9(1):173–177, 2009.
- [66] Fabrice OEHLER :
Etude et compréhension des mécanismes de croissance catalysés des nanofils de silicium obtenus par Dépôt Chimique en phase Vapeur.
Thèse de doctorat, Université de Grenoble, 2010.
- [67] R. S. WAGNER et W. C. ELLIS :
Vapor-liquid-solid mechanism of single crystal growth.
Applied Physics Letters, 4(5):89, 1964.
- [68] Martien I den HERTOOG, Jean-luc ROUVIERE, Florian DHALLUIN, Pierre J DESRE, Pascal GENTILE, Pierre FERRET, Fabrice OEHLER et Thierry BARON :
Control of gold surface diffusion on si nanowires.
Nano letters, 8(5):1544–1550, 2008.
- [69] KW SCHWARZ et J TERSOFF :
From droplets to nanowires : Dynamics of vapor-liquid-solid growth.
Physical review letters, 102(20):206101, 2009.
- [70] Brent a. WACASER, Kimberly a. DICK, Jonas JOHANSSON, Magnus T. BORGSTRÖM, Knut DEPPERT et Lars SAMUELSON :
Preferential interface nucleation : An expansion of the vls growth mechanism for nanowires.
Advanced Materials, 21(2):153–165, janvier 2009.
- [71] F. DHALLUIN, T. BARON, P. FERRET, B. SALEM, P. GENTILE et J.-C. HARMAND :
Silicon nanowires : Diameter dependence of growth rate and delay in growth.
Applied Physics Letters, 96(13):133109, 2010.
- [72] Frank GLAS, Mohammed Reda RAMDANI, Gilles PATRIARCHE et Jean-Christophe HARMAND :
Predictive modeling of self-catalyzed iii-v nanowire growth.
Physical Review B, 88(19):195304, novembre 2013.
- [73] T. B. MASSALSKI :
Binary Phase Diagrams.
American Society of Metal, Metals Park, 1986.
- [74] Pascal GENTILE, A SOLANKI, N PAUC, F OEHLER, Bassem SALEM, Guillaume ROSAZ, Thierry BARON, M DEN HERTOOG et V CALVO :

- Effect of hcl on the doping and shape control of silicon nanowires.
Nanotechnology, 23(21):215702, juin 2012.
- [75] a J O'REILLY, C FRANCIS et N J QUITORIANO :
Gold nanoparticle deposition on si by destabilising gold colloid with hf.
Journal of colloid and interface science, 370(1):46–50, mars 2012.
- [76] Florian DHALLUIN :
Nanofils de Silicium : Dépôt chimique en phase vapeur assisté par catalyseurs métalliques et prémices d'intégration.
Thèse de doctorat, Université de Grenoble, 2009.
- [77] Alexis POTIÉ :
Etude de la croissance de nanofils de Si Ge et caractérisation par microscopie à force atomique.
Thèse de doctorat, Université de Grenoble, 2012.
- [78] Alexis POTIÉ, Thierry BARON, Laurence LATU-ROMAIN, Guillaume ROSAZ, Bassem SALEM, Laurent MONTES, Pascal GENTILE, Jens KREISEL et Hervé ROUSSEL :
Controlled growth of sige nanowires by addition of hcl in the gas phase.
Journal of Applied Physics, 110(2):024311, 2011.
- [79] Priyanka PERIWAL :
VLS growth and characterization of axial Si-SiGe heterostructured nanowire for tunnel field effect transistors.
Thèse de doctorat, Université de Grenoble, 2014.
- [80] F OEHLER, P GENTILE, T BARON et P FERRET :
The effects of hcl on silicon nanowire growth : surface chlorination and existence of a 'diffusion-limited minimum diameter'.
Nanotechnology, 20(47):475307, novembre 2009.
- [81] Dietmar SEYFERTH :
Dimethyldichlorosilane and the direct synthesis of methylchlorosilanes. the key to the silicones industry.
Organometallics, 20(24):4978–4992, 2001.
- [82] DA AUERSWALD et PH RADCLIFFE :
Process technology development at rand refinery.
Minerals engineering, 18(8):748–753, 2005.
- [83] C C BÜTTNER, N D ZAKHAROV, E PIPPEL, U GÖSELE et P WERNER :
Gold-enhanced oxidation of mbe-grown silicon nanowires.
Semiconductor Science and Technology, 23(7):075040, juillet 2008.
- [84] Linus PAULING :
The nature of the chemical bond and the structure of molecules and crystals : An introduction to modern structural chemistry.
Cornell University Press, 1960.
- [85] Irene A GOLDTHORPE, Ann F MARSHALL et Paul C MCINTYRE :
Inhibiting strain-induced surface roughening : dislocation-free ge/si and ge/sige core-shell nanowires.
Nano letters, (11):3715–3719, 2009.

- [86] Guillaume ROSAZ :
Intégration 3D de nanofils Si et SiGe pour la réalisation de transistors verticaux à canal nanofil.
Thèse de doctorat, Université de Grenoble, 2012.
- [87] Yue WU, Jie XIANG, Chen YANG, Wei LU et Charles M LIEBER :
Single-crystal metallic nanowires and metal/semiconductor nanowire heterostructures.
Nature, 430(6995):61–5, juillet 2004.
- [88] Walter M WEBER, Lutz GEELHAAR, Andrew P GRAHAM, Eugen UNGER, Georg S DUESBERG, Maik LIEBAU, Werner PAMLER, Caroline CHE, Henning RIECHERT, Paolo LUGLI et Franz KREUPL :
Silicon-nanowire transistors with intruded nickel-silicide contacts.
Nano letters, 6(12):2660–2666, 2006.
- [89] Walter M. WEBER, Lutz GEELHAAR, Eugen UNGER, Caroline CHÈZE, Franz KREUPL, Henning RIECHERT et Paolo LUGLI :
Silicon to nickel-silicide axial nanowire heterostructures for high performance electronics.
Physica Status Solidi (B), 244(11):4170–4175, novembre 2007.
- [90] K. BYON, D. THAM, J. E. FISCHER et a. T. JOHNSON :
Systematic study of contact annealing : Ambipolar silicon nanowire transistor with improved performance.
Applied Physics Letters, 90(14):143513, 2007.
- [91] Junghyo NAH et ES LIU :
Enhanced-performance germanium nanowire tunneling field-effect transistors using flash-assisted rapid thermal process.
Electron Device Letters, IEEE, 31(12):1359–1361, 2010.
- [92] Daniele LEONELLI, Anne VANDOOREN, Rita ROOYACKERS, Anne S. VERHULST, Stefan De GENDT, Marc M. HEYNS et Guido GROESENEKEN :
Silicide Engineering to Boost Si Tunnel Transistor Drive Current.
Japanese Journal of Applied Physics, 50(4):04DC05, apr 2011.
- [93] Yung-Chen LIN, Yu CHEN, Di XU et Yu HUANG :
Growth of nickel silicides in si and si/siox core/shell nanowires.
Nano letters, 10(11):4721–4726, 2010.
- [94] Hsun-feng HSU, Wan-ru HUANG, Ting-Hsuan CHEN, Hwang-yuan WU et Chun-an CHEN :
Fabrication of ni-silicide/si heterostructured nanowire arrays by glancing angle deposition and solid state reaction.
Nanoscale research letters, 8(1):224, janvier 2013.
- [95] Yi-Chia CHOU, Kuo-Chang LU et KN TU :
Nucleation and growth of epitaxial silicide in silicon nanowires.
Materials Science and Engineering : R : Reports, 70(3):112–125, 2010.
- [96] QT ZHAO, D BUCA, R LOO, M CAYMAX, S MANTL *et al.* :
Formation of ternary ni-silicide on relaxed and strained sige layers.
Microelectronic engineering, 76(1):285–289, 2004.

- [97] Veronique CARRON, Mathilde RIBEIRO, Pascal BESSON, Guy ROLLAND, Jean-Michel HARTMANN, Virginie LOUP, Stephane MINORET, Laurent CLAVELIER, Cyrille LEROYER et Thierry BILLON :
Nickel selective etching studies for self-aligned silicide process in ge and sige-based devices.
ECS Transactions, 3(7):643–654, 2006.
- [98] Tobias JARMAR, Johan SEGER, Fredric ERICSON, Dominique MANGELINCK, Ulf SMITH et S-L ZHANG :
Morphological and phase stability of nickel–germanosilicide on si1- xge under thermal stress.
Journal of applied physics, 92(12):7193–7199, 2002.
- [99] O JEANDUPEUX, V MARSICO, A ACOVIC, P FAZAN, H BRUNE et K KERN :
Use of scanning capacitance microscopy for controlling wafer processing.
Microelectronics Reliability, 42(2):225–231, 2002.
- [100] Jürgen SMOLINER, B BASNAR, S GOLKA, Erich GORNIK, B LÖFFLER, M SCHATZMAYR et H ENICHLMAIR :
Mechanism of bias-dependent contrast in scanning-capacitance-microscopy images.
Applied Physics Letters, 79(19):3182–3184, 2001.
- [101] Franck BASSANI, Priyanka PERIWAL, Bassem SALEM, Nicolas CHEVALIER, Denis MARIOLE, Guillaume AUDOIT, Pascal GENTILE et Thierry BARON :
Dopant profiling in silicon nanowires measured by scanning capacitance microscopy.
Physica Status Solidi - Rapid Research Letters, 8(4):312–316, 2014.
- [102] MV fernàndez SERA, Ch ADESSI et X BLASE :
Surface segregation and backscattering in doped silicon nanowires.
Physical Review Letters, 2006.
- [103] Jonathan E ALLEN, Daniel E. PEREA, Eric R HEMESATH et Lincoln J. LAUHON :
Nonuniform Nanowire Doping Profiles Revealed by Quantitative Scanning Photocurrent Microscopy.
Advanced Materials, 21(30):3067–3072, aug 2009.
- [104] M DIARRA, Y.-M. NIQUET, C DELERUE et G ALLAN :
Ionization energy of donor and acceptor impurities in semiconductor nanowires; importance of dielectric confinement.
Phys. Rev. B., 2007.
- [105] Volker SCHMIDT, Joerg V WITTERMANN, Stephan SENZ et Ulrich GÖSELE :
Silicon nanowires : a review on aspects of their growth and their electrical properties.
Adv. Mater., 2009.
- [106] Bin WANG, Thomas STELZNER, Rawi DIRAWI, Ossama ASSAD, Nisreen SHEHADA, Silke CHRISTIANSEN et Hossam HAICK :
Field-effect transistors based on silicon nanowire arrays : effect of the good and the bad silicon nanowires.
ACS applied materials & interfaces, 4(8):4251—4258, 2012.
- [107] Joerg APPENZELLER, J. KNOCH, E. TUTUC, M. REUTER et S. GUHA :
Dual-gate silicon nanowire transistors with nickel silicide contacts.

- 2006 *International Electron Devices Meeting*, pages 1–4, 2006.
- [108] *Micro et nano-électronique-Bases-Composants-Circuits : Bases-Composants-Circuits*. Dunod, 2006.
- [109] Ling PAN, Kok-Keong LEW, Joan M REDWING et Elizabeth C DICKEY : Effect of diborane on the microstructure of boron-doped silicon nanowires. *Journal of crystal growth*, 2005.
- [110] Elena GNANI, Antonio GNUDI, S. REGGIANI et Giorgio BACCARANI : Drain-conductance optimization in nanowire TFETs by means of a physics-based analytical model. *Solid-State Electronics*, 84:96–102, juin 2013.
- [111] C.T. SAH : Electronic processes and excess current in gold-doped narrow si junctions. *Physical Review*, 1961.
- [112] Kanghoon JEON, Wei-Yip LOH, Pratik PATEL, Chang Yong KANG, Jungwoo OH, Anupama BOWONDER, Chanro PARK, CS PARK, Casey SMITH, et Prashant others MAJHI : Si tunnel transistors with a novel silicided source and 46mV/dec swing. *VLSI technology (VLSIT), 2010 symposium on*, pages 121—122, 2010.
- [113] J.H. LEE, K. KOH, N.I. LEE, M.H. CHO, Y.K. KI, J.S. JEON, K.H. CHO, H.S. SHIN, M.H. KIM, K. FUJIHARA, H.K. KANG et J.T. MOON : Effect of polysilicon gate on the flatband voltage shift and mobility degradation for al-d-al/sub 2/o/sub 3/ gate dielectric. *In Electron Devices Meeting, 2000. IEDM '00. Technical Digest. International*, pages 645–648, Dec 2000.
- [114] Ch WENGER, M LUKOSIUS, I COSTINA, R SORGE, J DABROWSKI, H-J MÜSSIG, S PASKO et Ch LOHE : Investigation of atomic vapour deposited tin/hfo 2/sio 2 gate stacks for mosfet devices. *Microelectronic Engineering*, 2008.
- [115] K. E. MOSELUND, H GHONEIM, M. T. BJÖRK, H. SCHMID, S. KARG, E. LORTSCHER, W. RIESS et Heike RIEL : Comparison of VLS grown Si NW tunnel FETs with different gate stacks. *2009 Proceedings of the European Solid State Device Research Conference*, pages 448–451, sep 2009.
- [116] Sebastian GLASSNER, Clemens ZEINER, Priyanka PERIWAL, Thierry BARON, Emmerich BERTAGNOLLI et Alois LUGSTEIN : Multimode silicon nanowires transistors. *Nano Letters*, 2014.
- [117] Joachim KNOCH : Optimizing tunnel fet performance - impact of device structure, transistor dimensions and choice of material. *2009 International Symposium on VLSI Technology, Systems, and Applications*, (0):45–46, avril 2009.

- [118] Yee Chia YEE, Vivek SUBRAMANIAN, Jakub KEDZIERSKI, Peiqi XUAN, Tsu-Jae KING, Jeffrey BOKOR et Chenming HU :
Nanoscale ultra-thin-body silicon-on-insulator p-mosfet with a sige/si heterostructure channel.
Electron Device Letters, IEEE, 21(4):161–163, 2000.
- [119] Cheng QI, Gary GONCHER, Raj SOLANKI et Jay JORDAN :
Sige nanowire growth and characterization.
Nanotechnology, 18(7):075302, 2007.
- [120] Navab SINGH, Kavitha D BUDDHARAJU, SK MANHAS, A AGARWAL, Subhash C RUSTAGI, GQ LO, N BALASUBRAMANIAN et Dim-Lee KWONG :
Si, sige nanowire devices by top-down technology and their applications.
Electron Devices, IEEE Transactions on, 55(11):3107–3118, 2008.
- [121] Y JIANG, N SINGH, TY LIOW, W-Y LOH, S BALAKUMAR, KM HOE, CH TUNG, V BLIZNETSOV, SC RUSTAGI, GQ LO *et al.* :
Ge-rich (70%) sige nanowire mosfet fabricated using pattern-dependent ge-condensation technique.
Electron Device Letters, IEEE, 29(6):595–598, 2008.
- [122] Evan O. KANE :
Theory of tunneling.
Journal of Applied Physics, 1961.
- [123] *Landolt–Bornstein, Numerical Data and Functional Relationships in Science and Technology*.
Berlin : Springer, 1989.
- [124] S SEDLMAIER, J SCHULZE, T SULIMA, C FINK, C TOLKSDORF, A BAYERSTADLER, I EISELE, P-F WANG, K HILSENBECK et W HANSCH :
Phonon assisted tunneling in gated pin diodes.
Materials Science and Engineering : B, 2002.
- [125] Mathieu LUISIER et Gerhard KLIMECK :
Simulation of nanowire tunneling transistors : From the wentzel–kramers–brillouin approximation to full-band phonon-assisted tunneling.
Journal of Applied Physics, 2010.
- [126] Han-Kyu SEONG, Eun-Kyoung JEON, Myoung-Ha KIM, Hwangyou OH, Jeong-O LEE, Ju-Jin KIM et Heon-Jin CHOI :
Interface charge induced p-type characteristics of aligned si1- x ge x nanowires.
Nano letters, 8(11):3656–3661, 2008.
- [127] Krishna K BHUWALKA, Jörg SCHULZE et Ignaz EISELE :
Scaling the vertical tunnel fet with tunnel bandgap modulation and gate workfunction engineering.
Electron Devices, IEEE Transactions on, 52(5):909–917, 2005.
- [128] M SCHMIDT, RA MINAMISAWA, S RICHTER, R LUPTAK, J-M HARTMANN, D BUCA, QT ZHAO et S MANTL :
Impact of strain and ge concentration on the performance of planar sige band-to-band-tunneling transistors.

- Solid-State Electronics*, 71:42–47, 2012.
- [129] Kuo-Hsing KAO, Anne S VERHULST, William G VANDENBERGHE, Bart SOREE, Guido GROESENEKEN et Kristin DE MEYER :
Direct and indirect band-to-band tunneling in germanium-based tfets.
Electron Devices, IEEE Transactions on, 59(2):292–301, 2012.
- [130] J WAN, C LE ROYER, A ZASLAVSKY et S CRISTOLOVEANU :
A tunneling field effect transistor model combining interband tunneling with channel transport.
Journal of Applied Physics, 110(10):104503, 2011.
- [131] Nguyen Dang CHIEN *et al.* :
Drive current enhancement in tunnel field-effect transistors by graded heterojunction approach.
Journal of Applied Physics, 114(9):094507, 2013.
- [132] Shadi A DAYEH, Jianyu HUANG, Aaron V GIN et ST PICRAUX :
Synthesis, fabrication, and characterization of Ge/Si axial nanowire heterostructure tunnel FETs.
Nanotechnology (IEEE-NANO), 2010 10th IEEE Conference on, (111):0–3, 2010.
- [133] Arvind SOUNDARAPANDIAN, Ramanathan GANDHI, Zhixian CHEN, Xiang LI, Navab SINGH et Sungjoo LEE :
Vertical Nanowire Gate-All-Around p -type Tunneling Field-Effect with SiGe/Si Heterojunction.
2012 International Conference on Solid-State and Integrated Circuit (ICSIC 2012), 32(Icsic):8–12, 2012.
- [134] E.C. GREYSON, Y. BABAYAN et T.W. ODOM :
Directed growth of ordered arrays of small-diameter zno nanowires.
Adv. Mater, 2004.
- [135] Florian DHALLUIN :
Nanofils de Silicium : Dépôt chimique en phase vapeur assisté par catalyseurs métalliques et prémices d'intégration.
Thèse de doctorat, Université de Grenoble, 2009.
- [136] T. I. KAMINS, R. Stanley WILLIAMS, D. P. BASILE, T. HESJEDAL et J. S. HARRIS :
Ti-catalyzed Si nanowires by chemical vapor deposition : Microscopy and growth mechanisms.
Journal of Applied Physics, 89(2):1008–1016, 2001.
- [137] Vincent T RENARD, Michael JUBLOT, Patrice GERGAUD, Peter CHERNS, Denis ROUCHON, Amal CHABLI et Vincent JOUSSEAU :
Catalyst preparation for CMOS-compatible silicon nanowire synthesis.
Nature nanotechnology, 4(10):654–657, 2009.

Résumé

La demande d'objets connectés dans notre société est très importante, au vu du marché florissant des smartphones. Ces nouveaux objets technologiques ont pour avantage de regrouper plusieurs fonctions en un seul objet ultra compact. Cette diversité est possible grâce à l'avènement des systèmes-sur-puce (SoC, System-on-Chip) et à la miniaturisation extrême des composants. Les SoC s'intègrent dans l'approche « More than Moore » et demande une superficie importante des puces. Celle-ci peut-être réduite par l'utilisation d'une autre approche appelée « More Moore » qui fut largement utilisée ces dernières années pour miniaturiser la taille des transistors. Cependant cette approche tend vers ses limites physiques puisque la réduction drastique de la taille des MOSFETs (« Metal Oxide Semiconductor Field Effect Transistor ») ne pourra pas être poursuivie à long terme. En outre, les transistors de taille réduite présentent des effets parasites, liés aux effets de canaux courts et à une mauvaise dissipation de la chaleur dégagée lors du fonctionnement des MOSFETs miniaturisés. Les effets de canaux courts peuvent-être minimisés grâce à de nouvelles architectures, telles que l'utilisation de nanofils, qui permettent d'obtenir une grille totalement enrobante du canal. Mais le problème de la puissance de consommation reste un frein pour le passage au prochain nœud technologique et pour l'augmentation des fonctions dans les appareils nomades. En effet, la puissance de consommation des MOSFETs ne fait qu'augmenter à chaque nouvelle génération, ce qui est en partie dû à l'accroissement des pertes énergétiques induites par la puissance statique de ces transistors. Pour diminuer celle-ci, la communauté scientifique a proposée plusieurs solutions, dont une des plus prometteuses est le transistor à effet tunnel (TFET). Car ce dispositif est peu sensible aux effets de canaux courts, et il peut fonctionner à de faibles tensions de drain et avoir un inverse de pente sous le seuil inférieur à 60mV/dec. L'objectif de la thèse est donc de fabriquer et de caractériser des transistors à effet tunnel à base de nanofil unique en silicium et silicium germanium. Nous présenterons la croissance et l'intégration des nanofils p-i-n en TFET. Puis nous avons étudié l'influence de certains paramètres sur les performances de ces transistors, et en particulier, l'effet du niveau de dopage de la source et du contrôle électrostatique de la grille sera discuté. Ensuite, l'augmentation des performances des TFETs sera montrée grâce à l'utilisation de semiconducteur à petit gap. En effet, nous insérons du germanium dans la matrice de silicium pour en diminuer le gap et garder un matériau compatible avec les techniques de fabrication de l'industrie de la microélectronique. Un modèle de simulation du courant tunnel bande à bande a été réalisé, se basant sur le modèle de Klaassen. Les mesures électriques des dispositifs seront comparées aux résultats obtenus par la simulation, afin d'extraire le paramètre B de la transition tunnel pour chacun des matériaux utilisés. Enfin nous présenterons les améliorations possibles des performances par une intégration verticale des nanofils.

Mots-Clefs : Nanofils, Silicium, Silicium-Germanium, Tunnel FET, contrôle électrostatique, intégration 3D, modélisation

Abstract

The connected objects demand in our society is very important, given the successful smartphone market. These new technological objects have the advantage to combine several functions in one ultra compact object. This diversity is possible due to the advent of system-on-chip (SoC) and the components scaling down. The SoCs are into the More than Moore approach and require a large chips area, which can be reduced by the use of "More Moore" approach which was widely used in recent years to scale down the transistors. However, this approach tends to physical limitations since the drastic scaling down of the MOSFETs ("Metal Oxide Field Effect Transistor Semiconductor") can not be continued in the future. In addition, the nano-MOSFET have parasitic effects, related to short-channel effects and a low heating dissipation. The short channel effects can be minimized thanks to new architectures, such as the use of nanowires, which enable a gate all around of the channel. But the power consumption problem still drag on the transition to the next technology node and the addition of new functions in mobile devices. Indeed, the MOSFET's consumed power increases with each new generation, which is mainly due to the static power increase of these transistors. To reduce it, the scientific community has proposed several solutions, and one of the most promising is a tunnel effect transistor (TFET). Because this device exhibit less short-channel effects compared to the conventional MOSFET, it can operate at low drain voltages and their subthreshold slope could be lower than 60 mV/dec. The thesis aims are to fabricate and characterize tunneling transistors based on single silicon nanowire and silicon germanium. We will present the growth and integration of p-i-n nanowires TFET. Then we investigated the influence of some parameters on the electrical performance of these transistors, in particular, the effect of the source doping level and the electrostatic gate control will be discussed. In the next part, the increase of TFETs performance will be shown thanks to the small band-gap semiconductor use. Indeed, we insert germanium in the silicon die to reduce the bandgap and keep a material compatible with the CMOS manufacturing. A band to band tunneling model was used to calculate the device current, based on the model Klaassen. Electrical measurements will be compared to the simulated results, in order to extract the B parameter of tunnel transition for each materials used. Finally we will present the possible performance improvements thanks to the vertical nanowires integration.

Keywords : Nanowire, Silicon, Silicon-Germanium, Tunnel FET, electrostatic control, 3D integration, simulation